

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-312243

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

G09G 3/20  
G02F 1/133  
G09G 3/30  
G09G 3/36

(21)Application number : 2001-046159

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 22.02.2001

(72)Inventor : KOYAMA JUN  
ASAMI MUNEHICO

(30)Priority

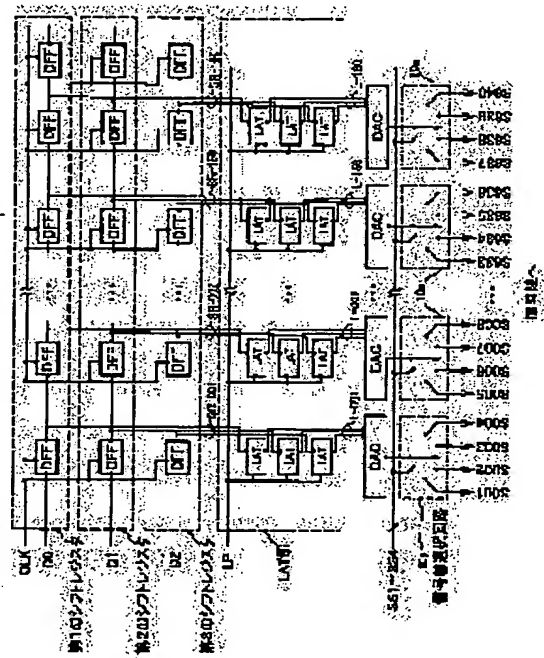
Priority number : 2000043756 Priority date : 22.02.2000 Priority country : JP

## (54) IMAGE DISPLAY DEVICE AND ITS DRIVING CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce an area to be occupied in the signal line driving circuit of an image display device corresponding to inputs of digital video signals and to reduce the parasitic capacitance and resistance of input transmission line of the digital video signal.

**SOLUTION:** Both of a means which inputs directly digital video signals to shift registers respectively and which performs the serial-parallel conversion of the signals and a means shares storage circuits and D/A conversion circuits in the signal line driving circuit with (n) lines (n is a natural number of 2 or more) of signal lines are adopted in this display device. Moreover, one horizontal scanning period is divided into (n) pieces and storage circuits and D/A conversion circuits perform processions respectively with respect to different signal lines in respective divided periods.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] Two or more pixel electrodes prepared in each field to which k signal lines (k is two or more integers), two or more scanning lines, and said each signal line and said each scanning line cross, In the image display device which has the pixel array section which has two or more switching elements for driving these two or more pixel electrodes, the signal-line drive circuit which drives said k signal lines, and the scanning-line drive circuit which drives said two or more scanning lines The shift register of m pieces into which, as for said signal-line drive circuit, a m bits (m is the natural number) digital video signal is inputted, or the multiple individual of m, The store circuit of the mxk individual for n minutes (n is two or more integers) which memorizes the output signal of this shift register, The image display device characterized by having two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, and k/n signal-line selection circuitry which sends out the output signal of this D/A conversion circuit to the corresponding signal line.

[Claim 2] Two or more pixel electrodes prepared in each field to which a signal line, two or more scanning lines, and two or more of said each signal line and said each scanning line cross, In the image display device which has the pixel array section which has two or more switching elements for driving these two or more pixel electrodes, the signal-line drive circuit which drives said two or more signal lines, and the scanning-line drive circuit which drives said two or more scanning lines Two or more shift registers into which, as for said signal-line drive circuit, a two or more bits digital video signal is inputted, Two or more store circuits which memorize the output signal of this shift register, and two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, Two or more signal-line selection circuitries which send out the output signal of this D/A conversion circuit to the corresponding signal line, It \*\*\*\* and said digital video signal is inputted into said each shift register. Said inputted digital video signal The digital video signal which was shifted in order and was this shifted until it was outputted to said store circuit which corresponds the inside of said each shift register The image display device characterized by repeating the actuation incorporated by the latch signal in said store circuit n times (n being two or more integers) in the time amount of 1 horizontal-scanning period.

[Claim 3] The signal line which becomes a unit from the multiple book (it carries out to k hereafter) of 3 about three signal lines corresponding to R (red), G (green), and B (blue) which are the three primary colors of light, Two or more pixel electrodes prepared in each field to which the scanning line, and two or more of said each signal line and said each scanning line cross, The pixel array section which has two or more switching elements for driving these two or more pixel electrodes, In the image display device corresponding to the color display which has the signal-line drive circuit which drives said k signal lines, and the scanning-line drive circuit which drives said two or more scanning lines said signal-line drive circuit The shift register of m pieces into which a m bits (m is the natural number) digital video signal is inputted to said RGB, respectively, or the multiple individual of m, The store circuit of the mxk individual for n minutes (n is the multiple of 3) which memorizes the output signal of this shift register, The image display device characterized by having two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, and k/n signal-line selection circuitry which sends out the output signal of this D/A conversion circuit to the corresponding signal line.

[Claim 4] The signal line which becomes a unit from the multiple book of 3 about three signal lines corresponding to R (red), G (green), and B (blue) which are the three primary colors of light, Two or more pixel electrodes prepared in each field to which the scanning line, and two or more of said each signal line and said each scanning line cross, The pixel array section which has two or more switching elements for driving these two or more pixel electrodes, In the image display device corresponding to the color display which has the signal-line drive circuit which drives the signal line which consists of said multiple book of 3, and the scanning-line drive circuit which drives said two or more scanning lines Two or more shift registers into which, as for said signal-line drive circuit, a m bits (m is the natural number) digital video signal is inputted to said RGB, respectively, Two or more store circuits which memorize the output signal of this shift register, and two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, It has two or more signal-line selection circuitries which send out the output signal of this D/A conversion circuit to the corresponding signal line, and 1 horizontal-scanning period has the 1st, 2nd, and 3rd period. At said 1st period Said digital video signal corresponding to said R is inputted into said each shift register. At said 2nd period Said digital video signal corresponding to said G is inputted into said each shift register. At said 3rd period Said digital video signal corresponding to said B is inputted into said each shift register. Within said each three periods said inputted digital video signal It is the image display device characterized for the actuation in which the digital video signal which shifted in order and was this shifted is incorporated by the latch

signal in said store circuit by 1 time or carrying out two or more times until it is outputted to said store circuit which corresponds the inside of said each shift register.

[Claim 5] It is the image display device characterized by the number of said D/A conversion circuits being  $k/n$  in claim 1 or claim 3.

[Claim 6] It is the image display device characterized by said D/A conversion circuit being a ramp-type D/A conversion circuit in any 1 term of claim 1 thru/or claim 4.

[Claim 7] It is the image display device characterized by said store circuit being a latch circuit in any 1 term of claim 1 thru/or claim 6.

[Claim 8] It is the image display device characterized by said latch circuit having an analog switch and retention volume in claim 7.

[Claim 9] It is the image display device characterized by said latch circuit having a clocked inverter in claim 7.

[Claim 10] It is the image display device characterized by said latch circuit having an analog switch and two or more inverters in claim 7.

[Claim 11] An image display device given in any 1 term of claim 1 which displays using a liquid crystal ingredient thru/or claim 10.

[Claim 12] An image display device given in any 1 term of claim 1 which displays using an electroluminescence (EL) ingredient thru/or claim 10.

[Claim 13] The cellular phone characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 14] The video camera characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 15] The personal computer characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 16] The head mount display characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 17] Television characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 18] Pocket books characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 19] The DVD player characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 20] The digital camera characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 12.

[Claim 21] The projector characterized by using said image display device of a publication for any 1 term of claim 1 thru/or claim 11.

[Claim 22] In the signal-line drive circuit of the image display device which drives  $k$  signal lines ( $k$  is two or more integers) said signal-line drive circuit The shift register of  $m$  pieces into which a  $m$  bits ( $m$  is the natural number) digital video signal is inputted, or the multiple individual of  $m$ , The store circuit of the  $m \times k$  individual for  $n$  minutes ( $n$  is two or more integers) which memorizes the output signal of this shift register, The drive circuit of the image display device characterized by having two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, and  $k/n$  signal-line selection circuitry which sends out the output signal of this D/A conversion circuit to the corresponding signal line.

[Claim 23] In the signal-line drive circuit of the image display device which drives two or more signal lines said signal-line drive circuit Two or more shift registers into which a two or more bits digital video signal is inputted, Two or more store circuits which memorize the output signal of this shift register, and two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, Two or more signal-line selection circuitries which send out the output signal of this D/A conversion circuit to the corresponding signal line, It \*\*\*\* and said digital video signal is inputted into said each shift register. Said inputted digital video signal The digital video signal which was shifted in order and was this shifted until it was outputted to said store circuit which corresponds the inside of said each shift register The drive circuit of the image display device characterized by repeating the actuation incorporated by the latch signal in said store circuit  $n$  times ( $n$  being two or more integers) in the time amount of 1 horizontal-scanning period.

[Claim 24] In the signal-line drive circuit of the image display device which drives the signal line which becomes a unit from the multiple book (it carries out to  $k$  hereafter) of 3 about three signal lines corresponding to R (red), G (green), and B (blue) which are the three primary colors of light The shift register of  $m$  pieces into which, as for said signal-line drive circuit, a  $m$  bits ( $m$  is the natural number) digital video signal is inputted to said RGB, respectively, or the multiple individual of  $m$ , The store circuit of the  $m \times k$  individual for  $n$  minutes ( $n$  is the multiple of 3) which memorizes the output signal of this shift register, The drive circuit of the image display device characterized by having two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal, and  $k/n$  signal-line selection circuitry which sends out the output signal of this D/A conversion circuit to the corresponding signal line.

[Claim 25] In the signal-line drive circuit of the image display device which drives the signal line which becomes a unit from the multiple book of 3 about three signal lines corresponding to R (red), G (green), and B (blue) which are the three primary colors of light Two or more shift registers into which, as for said signal-line drive circuit, a  $m$  bits ( $m$  is the natural number) digital video signal is inputted to said RGB, respectively, Two or more store circuits which

memorize the output signal of this shift register, and two or more D/A conversion circuits which change the output signal of this store circuit into an analog signal. It has two or more signal-line selection circuitries which send out the output signal of this D/A conversion circuit to the corresponding signal line, and 1 horizontal-scanning period has the 1st, 2nd, and 3rd period. At said 1st period Said digital video signal corresponding to said R is inputted into said each shift register. At said 2nd period Said digital video signal corresponding to said G is inputted into said each shift register. At said 3rd period Said digital video signal corresponding to said B is inputted into said each shift register. Within said each three periods said inputted digital video signal It is the drive circuit of the image display device characterized for the actuation in which the digital video signal which shifted in order and was this shifted is incorporated by the latch signal in said store circuit by 1 time or carrying out two or more times until it is outputted to said store circuit which corresponds the inside of said each shift register.

[Claim 26] It is the drive circuit of the image display device characterized by the number of said D/A conversion circuits being k/n in claim 22 or claim 24.

[Claim 27] It is the drive circuit of the image display device characterized by said D/A conversion circuit being a ramp-type D/A conversion circuit in any 1 term of claim 22 thru/or claim 25.

[Claim 28] It is the drive circuit of the image display device characterized by said store circuit being a latch circuit in any 1 term of claim 22 thru/or claim 27.

[Claim 29] It is the drive circuit of the image display device characterized by said latch circuit having an analog switch and retention volume in claim 28.

[Claim 30] It is the drive circuit of the image display device characterized by said latch circuit having a clocked inverter in claim 28.

[Claim 31] It is the drive circuit of the image display device characterized by said latch circuit having an analog switch and two or more inverters in claim 28.

[Claim 32] It is the drive circuit of the image display device characterized by forming the drive circuit of said image display device by the polish recon thin film transistor in any 1 term of claim 22 thru/or claim 31.

[Claim 33] It is the drive circuit of the image display device characterized by forming the drive circuit of said image display device with the single crystal transistor in any 1 term of claim 22 thru/or claim 31.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] About the image display device which inputs a digital video signal, and its drive circuit, especially, this invention reduces the occupancy area of the drive circuit, and relates to the drive circuit of the image display device which reduces delay and waveform distortion of the digital video signal inputted further.

[0002]

[Description of the Prior Art] The image display device in which the semi-conductor thin film was formed on the glass substrate, especially the active-matrix mold image display device which used the thin film transistor (it is henceforth described as TFT) have spread in recent years. The active-matrix mold image display device (henceforth an image display device) which used TFT has millions of [ hundreds of thousands arranged in the shape of a matrix to ] TFT(s), and is controlling the charge of each pixel.

[0003] Furthermore, the poly-Si TFT technique which uses TFT for the outside of the pixel array section, and carries out coincidence formation of the drive circuit other than the pixel TFT which constitutes a pixel as latest technique on it is developing.

[0004] Moreover, the thing not only corresponding to the thing corresponding to an analog video signal but a digital video signal also in the drive circuit by which coincidence formation is carried out is realized.

[0005] The example of a configuration of the active matrix liquid crystal display which is one of the image display devices is shown in drawing 25. As shown in drawing 25, this liquid crystal display is constituted by the signal-line drive circuit 101, the scanning-line drive circuit 102, the pixel array section 103, a signal line 104, the 105 pixel scanning line TFT106, liquid crystal 107, etc.

[0006] Drawing 26 explains the configuration of the signal-line (digital method) drive circuit corresponding to the digital video signal of the conventional example to a detail. Moreover, drawing 27 is a timing chart to drawing 26. Here, an image display device with the pixel of k(level) xl (perpendicular) is explained to an example. Although the case where a digital video signal is a triplet is taken for an example in order to explain simply, in an actual image display device, the number of bits is not limited to 3. Moreover, drawing 26 and drawing 27 showed the concrete example of  $k=640$ .

[0007] The conventional signal-line drive circuit has the following configurations. They input a clock signal (CLK) and a start pulse (SP). The shift register which shifts the pulse one by one, the 1st store circuit which carries out the sequential storage of the digital video signal with the output of the shift register (Local Area Transport1), It consists of the 2nd store circuit (Local Area Transport2) which unites and memorizes the output of the 1st store circuit to the input of a latch signal (LP), and a D/A conversion circuit (DAC) which changes the output of the 2nd store circuit into an analog signal. Here, the store circuit uses the latch circuit.

[0008] And a shift register number of stages (equivalent to the number of DFF shown in drawing 26) becomes  $k+1$  step. The output signal of a shift register turns into a control signal (SR-001-SR-640) of the 1st store circuit (Local Area Transport1) through direct or a buffer. The 1st store circuit (Local Area Transport1) memorizes a digital video signal (D0-D2) according to the output timing of said control signal. The 1st store circuit (Local Area Transport1) is [ 3(number of bits) x k (number of level signal lines) individual ] necessary here. Similarly the 2nd k 3 store circuits (Local Area Transport2) are needed.

[0009] The clock signal (CLK) for shift registers, a start pulse (SP), a digital video signal (D0-D2), and a latch signal (LP) are inputted into a signal-line drive circuit. A start pulse (SP) and a clock signal (CLK) are first inputted into a shift register, and the pulse is shifted one by one. The output ( drawing 26 SR- 001 - SR- 640) of a shift register serves as a pulse which one period (CLK) of clock signals shifted at a time, as shown in drawing 27. With the output signal of a shift register, the 1st store circuit (Local Area Transport1) operates, and memorizes the digital video signal then inputted. When the pulse of a shift register shifts by one line, the digital video signal for one line is memorized in the 1st store circuit (Local Area Transport1). ( Drawing 26 L1- 001- L1 -640.) However, since it was easy, distinction of a bit was shown collectively, without carrying out.

[0010] Next, a latch signal (LP) is inputted at a horizontal blanking interval. By this latch signal, the 2nd store circuit (Local Area Transport2) operates, and the video signal ( drawing 27 drawing 26, L1- 001- L1 -640) memorized in the 1st store circuit (Local Area Transport1) is memorized in the 2nd store circuit (Local Area Transport2). If a horizontal blanking interval expires and the next horizontal scanning period comes, as for a shift register, actuation will be begun again. The digital video signal memorized on the other hand in the 2nd store circuit (Local Area Transport2) ( drawing 27 drawing 26, L2- 001- L2 -640.) however, the \*\* which does not carry out distinction of a

bit since it is easy — collecting — having been shown — it is changed into an analog signal by the D/A conversion circuit (DAC). This analog signal is sent out to a signal line ( drawing 26 S001-S640), and is written in the pixel which corresponds through the pixel TFT further turned on by the scanning-line drive circuit.

[0011] By the above actuation, an image display device writes a video signal in a pixel, and displays.

[0012]

[Problem(s) to be Solved by the Invention] The drive circuit of a digital method which was explained above has the fault that the occupancy area is very large compared with an analog form. Although there is a merit that a signal can express with a digital method with binary [ of "Hi" or "Lo" ] instead, when the amount of data becomes huge and constitutes an image display device, it is big hindrance from a viewpoint of a miniaturization. The increment in the area of an image display device imitates the increment in the manufacturing cost, comes, and has the trouble of worsening the profit of an industrial corporation.

[0013] Moreover, increase-izing of the number of pixels and minute-ization of a pixel are attained with the rapid increment in the amount of information treated in recent years. However, in accordance with the increment in the number of pixels, the drive circuit will also increase and contraction of the area of the further drive circuit is desired.

[0014] Here, the number of pixels and a specification name show below the example of the display resolution of the computer generally used.

The number of pixels Specification name 640x480 VGA 800x600 SVGA 1024x768 XGA 1280x1024 SXGA 1600x1200 UXGA [0015] For example, when SXGA specification is taken for an example and the number of bits is set to 8, the 1st store circuit, the 2nd store circuit, and 10240 D/A conversion circuits are needed in the conventional drive circuit mentioned above to 1280 signal lines, respectively. Moreover, high definition television sets, such as Hi-Vision TV (HDTV), spread, and a high definition image is needed also not only in the world of a computer but the field of AV. In the U.S., land-based digital broadcasting will start and the time of digital broadcasting will start also in Japan. In digital broadcasting, a thing with 1920x1080 pixels is leading, and the reductions of area which a drive circuit occupies are called for immediately.

[0016] On the other hand, since it is necessary to connect with all the 1st store circuit (Local Area Transport1), in the drive circuit of the conventional digital method, it has become long [ leading about of the wiring ] very much [ the signal-transmission line which supplies a digital video signal (D0-D2) ], as shown also in drawing 26 . Consequently, the load to load-carrying capacity or a signal-transmission line called resistance will become large, and delay of a digital video signal and a wave-like distortion will become large. The trouble that will become remarkable if the number of pixels increases, and the display based on an exact digital video signal becomes difficult produces this inclination.

[0017] Then, in order to solve an above-mentioned trouble, this invention reduces the occupancy area of a signal-line drive circuit, and offers further the technique of reducing delay and waveform distortion of a digital video signal.

[0018]

[Means for Solving the Problem] n signal lines (n is the two or more natural numbers) share the store circuit and D/A conversion circuit in a signal-line drive circuit. 1 horizontal-scanning period can be divided into n pieces, and all signal lines can be driven on a par with the conventional example by processing to the signal line with which a store circuit differs from a D/A conversion circuit at each of that divided period, respectively. In this way, it becomes possible to set the store circuit and D/A conversion circuit in a signal-line drive circuit to 1/n of the conventional example. In addition, in this specification, to a signal line or the scanning line, in order to display an image, it expresses performing suitable processing, saying "a signal line being driven" or "the scanning line being driven."

[0019] Moreover, if the direct input of the digital video signal is carried out to a shift register, it carries out the sequential shift of the inside of a shift register and is attained to a desired location, it will stop stopping the input of a clock signal and shifting a signal, and it makes a signal hold in the location. By transmitting the signal currently held in inputting a latch signal at the shift register to a store circuit, before the input of the following digital video signal and a following clock signal starts, actuation equivalent even to the 2nd store circuit of the conventional example can be performed. Thus, since the gate number which shortens the signal-transmission line which supplies a digital video signal, and is connected in inputting a digital video signal into a direct shift register becomes some from thousands, gate capacitance becomes small dramatically and it becomes possible to decrease resistance and load-carrying capacity of the signal-transmission line of it.

[0020]

[Embodiment of the Invention] Here, it explains taking the case of the image display device which generally set the number of pixels of a horizontal direction and a perpendicular direction to k and l, respectively. Although this operation gestalt explains a digital video signal as a triplet, this invention is effective not only about a triplet but 6 bits, 8 bits, or the other number of bits. Moreover, in the following explanation, although n is used as a parameter which shows how many signal lines are driven by one D/A conversion circuit, when the horizontal number k of pixels is not a multiple of n, what added the figure suitably for k and was made into the multiple of n shall newly be defined as k. In this case, no trouble will be caused to actual actuation if the added pixel is dealt with as an imagination thing.

[0021] The configuration of this operation gestalt is explained below, next actuation of this operation gestalt is explained. The timing of operation is shown for the example of a signal-line drive circuit of this operation gestalt in drawing 1 at drawing 2 . However, drawing 1 and drawing 2 show the example of k= 640. Although notations, such as k, are used as general explanation below, in [ ], the concrete figure corresponding to drawing 1 and drawing 2 will be

shown. In addition, the configuration of a scanning-line drive circuit and the configuration of the pixel array section are the same as the conventional example.

[0022] The signal-line drive circuit of this operation gestalt has three shift registers (the 1st - the 3rd shift register) which consist of a delay mode flip-flop (DFF), store circuits (Local Area Transport), D/A conversion circuits (DAC), and signal-line selection-circuitry 10a. Although a start pulse is inputted into a shift register in the conventional example, not a start pulse but a digital video signal is inputted with this operation gestalt. Moreover, a latch signal (LP) is inputted into each store circuit (Local Area Transport). Each D/A conversion circuit (DAC) drives  $n$  signal lines, and writes the output of a D/A conversion circuit in a suitable signal line by signal-line selection-circuitry 10a. However, drawing 1 and drawing 2 showed the example of  $n=4$ .

[0023] drawing 1 shows — as — DFF —  $3 \times (k/n) (+1)$  stage [483 steps] and a store circuit (Local Area Transport) —  $3 k/n$  individual [480 pieces] and a D/A conversion circuit (DAC) — a  $k/n$  individual [160 pieces] — it exists, respectively.

[0024] Next, the actuation is explained, referring to drawing 2. The digital video signal (D0-D2) of a bit different, respectively and a clock signal (CLK) are inputted into each shift register. The sequential input of the digital video signal corresponding to all signal lines of one line is carried out with time amount progress at 1 horizontal-scanning period. Therefore, D0, D1, and D2 consist of digital video signals corresponding to each signal line, respectively. The order of a list of the digital video signal inputted with time amount progress at 1 horizontal-scanning period if the number of a corresponding signal line expresses unlike the conventional example — “ $(k-n+1, k-2n+1, \text{---}, n+1, \text{---}, n+1, \text{---}, k-n+2, k-2n+2, \text{---}, n+2, \text{---}, 2), (k-n+3, k-2n+3, \text{---}, n+3, 3, \text{---}, (k, k-2n, \text{---}, 2n, n), \text{---}, [ (5 \ 637, 633, \text{---}, 1) \text{---} \text{it becomes } 639, 635, \text{---}, (7, 3) (8 \ 640, 636, \text{---}, 4), \text{---}, [ 638, 634, \text{---}, (6 \ 2), ]$  Here, a parenthesis “( )” expresses a subgroup. Each shift register carries out the sequential shift of the inputted digital video signal, taking a clock signal (CLK) and a synchronization [shown in SR-001-SR-160].

[0025] A latch signal (LP) is inputted into a store circuit (Local Area Transport)  $n$  times at 1 horizontal-scanning period. In this operation gestalt, a latch signal is inputted to the following timing.

[0026] First, when the digital video signal corresponding to  $k-n+1$  [637] in the number of a signal line is outputted from DFF of eye a  $k/n$  stage [the 160th step] within the 1st subgroup, a clock signal is stopped temporarily and each output from DFF is made to fix. The 1st latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. this — actuation — a signal line — a number — “— one —  $n$  — + — one — two —  $n$  — + — one —  $k-n$  — + — one — ” — [ — “— one — five — nine — 637 — ” — ] — corresponding — digital one — a video signal — a store circuit (Local Area Transport) — transmitting — having had — \*\*\*\*\*.

[0027] Then, the digital video signal of the 2nd subgroup and a clock signal are inputted, when the digital video signal corresponding to  $k-n+2$  [638] in the number of a signal line is outputted from DFF of eye a  $k/n$  stage [the 160th step], a clock signal is stopped temporarily and each output from DFF is made to fix. The 2nd latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. this — actuation — a signal line — a number — “— two —  $n$  — + — two — two —  $n$  — + — two —  $k-n$  — + — two — ” — [ — “— two — six — ten — 638 — ” — ] — corresponding — digital one — a video signal — a store circuit (Local Area Transport) — transmitting — having had — \*\*\*\*\*.

[0028] When henceforth repeats the same actuation and the digital video signal corresponding to  $k$  [640] in the number of a signal line is outputted from DFF of eye a  $k/n$  stage [the 160th step] within the  $n$ -th subgroup of the last, a clock signal is stopped temporarily and each output from DFF is made to fix. The  $n$ -th latch signal [the 4th time] (LP) is inputted, and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. this — actuation — a signal line — a number — “—  $n$  — two —  $n$  — three —  $n$  —  $k$  — ” — [ — “— four — eight — 12 — 640 — ” — ] — corresponding — digital one — a video signal — a store circuit (Local Area Transport) — transmitting — having had — \*\*\*\*\*.

[0029] the input of the above latch signals (LP) — a part for a signal-line party — it means transmitting all digital video signals to a store circuit (Local Area Transport)

[0030] The output of a store circuit (Local Area Transport) is inputted into a D/A conversion circuit, and the digital signal of a triplet is changed into an analog signal. The changed analog signal is written in a suitable signal line via signal-line selection-circuitry 10a. Below, this write-in timing is explained.

[0031] A store circuit (Local Area Transport) also repeats storage actuation  $n$  times as mentioned above at 1 horizontal-scanning period. Therefore, while memorizing in the store circuit (Local Area Transport), the digital video signal corresponding to a certain signal line must choose a signal line, and must end writing.

[0032] “First, the number of the signal line which is the 1st subgroup 1,  $n+1, 2n+1, \text{---}, k-n$  — + — one — ” — [ — “— one — five — nine — 637 — ” — ] — corresponding — digital one — a video signal — a store circuit (Local Area Transport) — memorizing — having — \*\*\*\* — a period — inside — the — one — a control signal (SS1) — inputting — each — a signal line — a selection circuitry — ten — a — “— one —  $n$  — + — one — two —  $n$  — + — one —  $k-n$  — + — one — ” — [ — “— one — five — nine — 637 — ” — ] — watch — \*\* — a signal line — respectively — choosing.

[0033] “Next, the number of the signal line which the data in a store circuit (Local Area Transport section) are renewed, and is the 2nd subgroup 2,  $n+2, 2n+2, \text{---}, k-n$  — + — two — ” — [ — “— two — six — ten — 638 — ” — ] — corresponding — digital one — a video signal — a store circuit (Local Area Transport) — memorizing — having — \*\*\*\* — a period — inside — the — two — a control signal (SS2) — inputting — each — a signal line — a selection circuitry — ten — a — “— two —  $n$  — + — two — two —  $n$  — + — two —  $k-n$  — + — two — ” —



[ — " — two — six — ten — 638 — " — ] — watch — \*\* — a signal line — respectively — choosing .

[0034] Generally the digital video signal corresponding to the number " $i, n+i, 2n+i, \dots, k-n+i$ " of the signal line which is the  $i$ -th subgroup inputs the  $i$ -th control signal (SS $i$ ) within the period memorized in the store circuit (Local Area Transport) by making  $i$  into the natural number, and each signal-line selection-circuitry 10a chooses the signal line of eye " $i, n+i, 2n+i, \dots, k-n+i$ " watch, respectively.

[0035] Thus, it becomes possible by inputting a control signal pulse into signal-line selection-circuitry 10a  $n$  times at 1 horizontal-scanning period to write the output of a D/A conversion circuit in a suitable signal line.

[0036] In addition, a buffer circuit, a level shift circuit, the enabling circuit that restricts the period of an output may be put in between the output of a store circuit (Local Area Transport), and a D/A conversion circuit. Moreover, the order of an input list of a digital video signal is not limited in above order. This order of a list is determined by the approach of a signal-line selection circuitry of operation, the direction (input connecting location of a digital video signal) of a shift register of operation, etc.

[0037] Although this operation gestalt showed the case where the digital video signal of a triplet was inputted without division, the digital video signal inputted in order to make clock frequency of a shift register low may be divided. In this case, the signal-transmission line for the triplet  $x$  number of partitions is inputted in total, and the shift register of the same number is needed. In addition, the number of DFF(s) contained in each shift register decreases corresponding to the divided number.

[0038] In the above operation gestalt, a D/A conversion circuit may use a ramp-type D/A conversion circuit. In that case, the number of a D/A conversion circuit is not limited with  $k/n$ .

[0039]

[Example] (Example 1) This example explains the horizontal number of pixels taking the case of the image display device which is XGA specification of 768 about 1024 and the vertical number of pixels. In this example, although a digital video signal is explained as a triplet, this invention is effective not only about a triplet but 6 bits, 8 bits, or the other number of bits. Moreover, the case where four signal lines are driven by one D/A conversion circuit is taken for an example.

[0040] Below the configuration of this example is explained, next actuation of this example is explained to it.

[0041] The signal-line drive circuit by this example is shown in drawing 3. Since the configuration of a scanning-line drive circuit and the configuration of the pixel array section are the same as the former, the explanation about these is omitted. The shift register with which the signal-line drive circuit of this example consists of 257 steps of DFF(s) has three pieces (the 1st — the 3rd shift register), the store circuit (Local Area Transport) of 256x3 (number of bits), 256 D/A conversion circuits, and 256 signal-lines selection-circuitry 10b.

[0042] Although a clock signal (CLK) is inputted into each shift register in common, a bit [ 2nd ] digital video signal (D1) is inputted into the 2nd shift register, and a bit [ 3rd ] digital video signal (D2) is inputted into the 1st shift register for a bit [ 1st ] digital video signal (D0) to the 3rd shift register. A latch signal (LP) is inputted into a store circuit (Local Area Transport), and four control signals (SS1-SS4) are inputted into signal-line selection-circuitry 10b, respectively. In addition, in this example, the signal-transmission line which supplies a digital video signal unlike the case of drawing 1 is inputted from the right-hand side of a signal-line drive circuit.

[0043] Next, the actuation is explained, referring to drawing 4. A corresponding digital video signal (D $_i$  ( $i=0-2$ )) and a corresponding clock signal (CLK) are inputted into each shift register. Each shift register shifts the inputted digital video signal (D $_i$ ) from the right to the left one by one. This situation is shown in SR-256 of drawing 4, SR-255, —, SR-001. time amount — progress — inputting — having — digital one — a video signal — a list — order — corresponding — a signal line — a number — expressing — if — "(1017 1, 5, —, 1021) — (— two — six — 1018 — 1022 —) — (— three — seven — 1019 — 1023 —) — " (1020 4, 8, —, 1024) — becoming. Here, a parenthesis "(" ) expresses a subgroup. Since a digital video signal shifts from the right to the left in this example unlike drawing 1, unlike what was shown by drawing 2, the order of a list of the video signal also turns into ascending order within a subgroup.

[0044] The latch signal (LP) inputted into the store circuit (Local Area Transport) section at 1 horizontal-scanning period is inputted 4 times. At this example, a latch signal is inputted to the following timing.

[0045] first — if the digital video signal corresponding to "1" in the number of a signal line is outputted within the 1st subgroup from the 1st step of DFF (DFF of a leftmost train is considered as eye a zero stage in drawing 3) — a clock signal — temporary — stopping — every — the output from DFF is made to fix The 1st latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to the number (1, 5, —, "1017, 1021") of a signal line is transmitted to a store circuit (Local Area Transport) in this actuation.

[0046] Then, the digital video signal of the 2nd subgroup and a clock signal are inputted, when the digital video signal corresponding to "2" in the number of a signal line is outputted from the 1st step of DFF, a clock signal is stopped temporarily and each output from DFF is made to fix. The 2nd latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to the number (2, 6, —, "1018, 1022") of a signal line is transmitted to a store circuit (Local Area Transport) in this actuation.

[0047] Next, the digital video signal of the 3rd subgroup and a clock signal are inputted, when the digital video signal corresponding to "3" in the number of a signal line is outputted from the 1st step of DFF, a clock signal is stopped temporarily and each output from DFF is made to fix. The 3rd latch signal (LP) is inputted and each store circuit



(Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to the number (3, 7, —, "1019, 1023") of a signal line is transmitted to a store circuit (Local Area Transport) in this actuation.

[0048] The digital video signal of the 4th subgroup and a clock signal are inputted, when the digital video signal corresponding to "4" in the number of a signal line is outputted from the 1st step of DFF, a clock signal is stopped temporarily and each output from DFF is made to fix finally. The 4th latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to the number (4, 8, —, "1020, 1024") of a signal line is transmitted to a store circuit (Local Area Transport) in this actuation.

[0049] the input of the above latch signals — a part for a signal-line party — it means transmitting all digital video signals to a store circuit (Local Area Transport)

[0050] The digital signal of a triplet inputted into the D/A conversion circuit is changed into an analog signal. The changed analog signal is written in a suitable signal line via signal-line selection-circuitry 10b. Below, this write-in timing is explained.

[0051] A store circuit (Local Area Transport) repeats storage actuation 4 times at 1 horizontal-scanning period. Therefore, while memorizing in the store circuit (Local Area Transport), the digital video signal corresponding to a certain signal line must choose a signal line, and must end writing.

[0052] First, the digital video signal corresponding to the number (1, 5, —, "1017, 1021") of the signal line which is the 1st subgroup inputs the 1st control signal (SS1) within the period memorized in the store circuit (Local Area Transport), and each signal-line selection-circuitry 10b chooses the signal line of the 1, 5, —, 1021st [ "1017 1021" ] watch, respectively.

[0053] Next, the digital video signal corresponding to the number (2, 6, —, "1018, 1022") of the signal line which is the 2nd subgroup inputs the 2nd control signal (SS2) within the period memorized in the store circuit (Local Area Transport), and each signal-line selection-circuitry 10b chooses the signal line of the 2, 6, —, 1022nd [ "1018 1022" ] watch, respectively.

[0054] Furthermore, the digital video signal corresponding to the number (3, 7, —, "1019, 1023") of the signal line which is the 3rd subgroup inputs the 3rd control signal (SS3) within the period memorized in the store circuit (Local Area Transport), and each signal-line selection-circuitry 10b chooses the signal line of the 3, 7, —, 1023rd [ "1019 1023" ] watch, respectively.

[0055] Finally the digital video signal corresponding to the number (4, 8, —, "1020, 1024") of the signal line which is the 4th subgroup inputs the 4th control signal (SS4) within the period memorized in the store circuit (Local Area Transport), and each signal-line selection-circuitry 10b chooses the signal line of the 4, 8, —, 1024th [ "1020, 1024" ] watch, respectively.

[0056] Thus, it becomes possible by inputting a control signal pulse into signal-line selection-circuitry 10b 4 times at 1 horizontal-scanning period to write the output of a D/A conversion circuit in a suitable signal line.

[0057] In addition, a buffer circuit, a level shift circuit, the enabling circuit that restricts the period of an output may be put in between the output of a store circuit (Local Area Transport), and a D/A conversion circuit. Moreover, the order of an input list of a digital video signal is not limited in above order. This order of a list is determined by the approach of a signal-line selection circuitry of operation, the direction (input connecting location of a digital video signal) of a shift register of operation, etc. For example, it was already said that the order of a list of the signal in the above-mentioned subgroup becomes reverse by into which of right and left of a signal-line drive circuit it inputs in the input of a digital video signal. Moreover, when the timing which inputs the pulse of the 1st control signal (SS1) of signal-line selection-circuitry 10b and the 4th control signal (SS4) in the above is replaced, the order of an input list of a digital video signal also becomes what replaced the 1st subgroup and the 4th subgroup.

[0058] The example of a store circuit is shown in drawing 5. Drawing 5 (B) of drawing 5 (A) is the thing of a SRAM mold using a clocked inverter, and drawing 5 (C) is the thing of a DRAM mold. These are the examples of representation and this invention is not limited to these formats.

[0059] As mentioned above, in this invention, although the number of a shift register increases, it can drive an image display device by the shift register which consists of the number of circuits of the conventional quadrant per piece, the store circuit of 1/8 over the past, and the D/A conversion circuit of the conventional quadrant, and the drastic reduction of the occupancy area of a drive circuit and an element number of it is attained. Moreover, since a digital video signal is inputted into a direct shift register, the signal-transmission line which supplies a digital video signal is shortened, and the gate capacitance connected becomes small dramatically and it becomes possible to decrease resistance and load-carrying capacity of the signal-transmission line of it.

[0060] (Example 2) This example shows the example at the time of adopting the D/A conversion circuit of a lamp method as a D/A conversion circuit. The schematic diagram of the signal-line drive circuit at the time of using the D/A conversion circuit of a lamp method for drawing 6 is shown. In addition, although the case where this example also corresponds to the digital video signal of a triplet with the image display device of XGA specification is explained, this invention is effective also about the image display device of specification the case where it corresponds not only to a triplet but to the other number of bits, and other than XGA.

[0061] The configuration and actuation of this example are explained below.

[0062] In this example, it is the same as an example 1 from a shift register up to a store circuit (Local Area Transport). In the lower stream of a river of a store circuit, it has a bit-comparison pulse width conversion circuit (BPC), an analog switch 20, and signal-line selection-circuitry 10c. The digital video signal of the triplet memorized

in the store circuit (Local Area Transport), a count signal (C0-C2), and a set signal (ST) are inputted into a bit-comparison pulse width conversion circuit (BPC). A gradation power source (VR) is inputted into an analog switch 20 as the output (PW-i and i are 001-256) of a bit-comparison pulse width conversion circuit. The output and control signal (SS1-SS4) of an analog switch 20 are inputted into signal-line selection-circuitry 10c.

[0063] In drawing 6, the example of a configuration of the bit-comparison pulse width conversion circuit (BPC) of the i-th step is shown in drawing 8 from the left. BPC has an exclusive OR gate, 3 input NAND gate, an inverter, and a set reset flip flop (RS-FF). In drawing 8, the bit was distinguished and the i-th step of output of a store circuit (Local Area Transport) was made into L-i (0), L-i (1), and L-i (2).

[0064] Next, actuation of this example is explained. The timing of a signal system required in order to understand circuit actuation of drawing 6 of operation was shown in drawing 7. The actuation from a shift register to a store circuit (Local Area Transport) is the same as an example 1. Moreover, it is the same as an example 1 also about the control signal (SS1-SS4) inputted into signal-line selection-circuitry 10c. Whenever sequential selection of the four signal lines is made by signal-line selection-circuitry 10c, a count signal (C0-C2), a set signal (ST), and a gradation power source (VR) are inputted periodically. Thereby, information can be equally written in all signal lines.

[0065] In order to explain detailed actuation of a lamp method D/A conversion circuit, the timing of a period of operation that the signal-line selection circuitry chooses one of four signal lines is shown in drawing 9. First, RS-FF30 is set by the input of a set signal, and output PW-i is set to Hi level. Next, the digital video signal memorized by the 2nd latch circuit is compared with a count signal (C0-C2) by the exclusive OR gate for every bit. When all triplets are in agreement, the output of all exclusive OR gates is set to Hi level, consequently the output (reversal RC-i) of 3 input NAND gate is set to Lo level (therefore, RC-i is set to Hi level). The output of this 3 input NAND is also inputted into RS-FF30, if RC-i is set to Hi level, it will be reset, and output PW-i returns to Lo level. When the digital video signals [L-i (0), L-i (1), L-i (2)] of a triplet were [0, 0, 1], RC-i of an about, PW-i, and the example of an output of DA-i were shown in drawing 9. In this way, the information on a digital video signal is changed into the pulse width of output PW-i of a bit-comparison pulse width conversion circuit (BPC).

[0066] Output PW-i of a bit-comparison pulse width conversion circuit (BPC) controls closing motion of an analog switch 20. The gradation power source (VR) which has the stair-like voltage level which synchronized with the count signal (C0-C2) in an analog switch 20 is impressed, output PW-i of BPC flows only through between Hi level with a signal line, and the electrical potential difference of the moment that PW-i is set to Lo level is written in a signal line.

[0067] By the above actuation, a digital video signal is changed into an analog signal, and the potential of arbitration is written in a signal line. In addition, a gradation power source (VR) does not need to be stair-like, and may change in monotone continuously. Moreover, a buffer circuit, a level shift circuit, etc. may be put in between the output of a bit-comparison pulse width conversion circuit (BPC), and an analog switch 20.

[0068] As mentioned above, in this invention, the D/A conversion circuit of a lamp method can also be used as a D/A conversion circuit, the circuitry can be managed with about 1/4 over the past, and the drastic reduction of the occupancy area of a drive circuit and an element number of it is attained.

[0069] (Example 3) In this example, the veneer which is VGA specification of 480 about 640x3 (three colors of RGB) and the vertical number of pixels explains the horizontal number of pixels taking the case of the color picture display in which color display is possible. However, R, G, and B show the red who is the three primary colors of light, green, and blue, respectively. Although this example also explains a digital video signal as a triplet, this invention is effective not only about a triplet but 6 bits, 8 bits, or the other number of bits. Moreover, the case where three signal lines are driven by one D/A conversion circuit is taken for an example.

[0070] The configuration and actuation of this example are explained below.

[0071] The signal-line drive circuit by this example is shown in drawing 10. Since the configuration of a scanning-line drive circuit and the configuration of the pixel array section are the same as the former, the explanation about these is omitted. The shift register with which the signal-line drive circuit of this example consists of 641 steps of DFF(s) has three pieces (the 1st - the 3rd shift register), the store circuit (Local Area Transport) of 640x3 (number of bits), 640 D/A conversion circuits, and 10d of 640 signal-line selection circuitries.

[0072] Although a clock signal (CLK) is inputted into each shift register in common, the bit [ 2nd ] digital video signal (D1) of RGB is inputted into the 2nd shift register, and the bit [ 3rd ] digital video signal (D2) of RGB is inputted into the 1st shift register for the bit [ 1st ] digital video signal (D0) of RGB to the 3rd shift register. A latch signal (LP) is inputted into a store circuit (Local Area Transport), and three control signals (SS1-SS3) are inputted into 10d of signal-line selection circuitries, respectively. In addition, in this example, the signal-transmission line which supplies a digital video signal like the case of drawing 1 is inputted from the left-hand side of a signal-line drive circuit.

[0073] Next, the actuation is explained, referring to drawing 11. The corresponding digital video signal (Di (i=0-2)) and corresponding clock signal (CLK) of RGB are inputted into each shift register. Each shift register shifts the inputted digital video signal (Di) from the left to the right one by one. This situation is shown in SR-001 of drawing 11, SR-002, —, SR-640. time amount — progress — inputting — having — digital one — a video signal — a list — order — drawing 10 — having been shown — corresponding — a signal line — a name — expressing — if — "(R640, R639, —, R002, R001) — (— G — 640 — G — 639 — G — 002 — G — 001 —) —" (B640, B639, —, B002, B001) — becoming. Here, a parenthesis "( )" expresses a subgroup and is summarized according to RGB. Since a digital video signal shifts from the left to the right like [ in this example ] drawing 1, within a subgroup, it becomes descending order like [ the order of a list of the video signal ] drawing 2.

[0074] A latch signal (LP) is inputted into the store circuit (Local Area Transport) section 3 times at 1 horizontal-

scanning period. At this example, a latch signal is inputted to the following timing.

[0075] first — if the digital video signal corresponding to a signal line "R640" is outputted within the 1st subgroup of "R" from the 640th step of DFF (DFF of a leftmost train is made into the 1st step in drawing 10) — a clock signal — temporary — stopping — every — the output from DFF is made to fix The 1st latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to a signal line (R001, R002, —, "R639, R640") is transmitted to a store circuit (Local Area Transport) in this actuation.

[0076] Then, the digital video signal of the 2nd subgroup of "G" and a clock signal are inputted, when the digital video signal corresponding to a signal line "G640" is outputted from the 640th step of DFF, a clock signal is stopped temporarily and each output from DFF is made to fix. The 2nd latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to a signal line (G001, G002, —, "G639, G640") is transmitted to a store circuit (Local Area Transport) in this actuation.

[0077] The digital video signal of the 3rd subgroup of "B" and a clock signal are inputted, when the digital video signal corresponding to a signal line "B640" is outputted from the 640th step of DFF, a clock signal is stopped temporarily and each output from DFF is made to fix finally. The 3rd latch signal (LP) is inputted and each store circuit (Local Area Transport) is made to memorize each output of DFF of a shift register at this time. Those signals are outputted to a D/A conversion circuit at the same time the digital video signal corresponding to a signal line (B001, B002, —, "B639, B640") is transmitted to a store circuit (Local Area Transport) in this actuation.

[0078] the input of the above latch signals — a part for a signal-line party — it means transmitting all digital video signals to a store circuit (Local Area Transport)

[0079] The digital signal of a triplet inputted into the D/A conversion circuit is changed into an analog signal. The changed analog signal is written in a suitable signal line via 10d of signal-line selection circuitries. Below, this write-timing is explained.

[0080] A store circuit (Local Area Transport) repeats storage actuation 3 times at 1 horizontal-scanning period. Therefore, while memorizing in the store circuit (Local Area Transport), the digital video signal corresponding to a certain signal line must choose a signal line, and must end writing.

[0081] First, the digital video signal corresponding to the signal line (R001, R002, —, "R639, R640") which is the 1st subgroup of "R" inputs the 1st control signal (SS1) within the period memorized in the store circuit (Local Area Transport), and 10d of each signal-line selection circuitry chooses the signal line of R001, R002, —, "R639, R640", respectively.

[0082] Next, the digital video signal corresponding to the signal line (G001, G002, —, "G639, G640") which is the 2nd subgroup of "G" inputs the 2nd control signal (SS2) within the period memorized in the store circuit (Local Area Transport), and 10d of each signal-line selection circuitry chooses the signal line of G001, G002, —, "G639, G640", respectively.

[0083] Finally the digital video signal corresponding to the signal line (B001, B002, —, "B639, B640") which is the 3rd subgroup of "B" inputs the 3rd control signal (SS3) within the period memorized in the store circuit (Local Area Transport), and 10d of each signal-line selection circuitry chooses the signal line of B001, B002, —, "B639, B640", respectively.

[0084] Thus, it becomes possible by inputting a control signal pulse into 10d of signal-line selection circuitries 3 times at 1 horizontal-scanning period corresponding to RGB to write the output of a D/A conversion circuit in a suitable signal line.

[0085] In addition, a buffer circuit, a level shift circuit, the enabling circuit that restricts the period of an output may be put in between the output of a store circuit (Local Area Transport), and a D/A conversion circuit. Moreover, the order of an input list of a digital video signal is not limited in above order. This order of a list is determined by the approach of a signal-line selection circuitry of operation, the direction (input connecting location of a digital video signal) of a shift register of operation, etc. For example, the order of a list of the signal in the above-mentioned subgroup becomes reverse by into which of right and left of a signal-line drive circuit it inputs in the input of a digital video signal. Moreover, when the timing which inputs the pulse of the 1st control signal (SS1) of 10d of signal-line selection circuitries and the 3rd control signal (SS3) in the above is replaced, the order of an input list of a digital video signal also becomes what replaced the 1st subgroup of "R", and the 3rd subgroup of "B."

[0086] As mentioned above, in this invention, although the number of a shift register increases, it can drive an image display device by the shift register which consists of the number of circuits of 1/3 over the past per piece, the store circuit of 1/6 over the past, and the D/A conversion circuit of 1/3 over the past, and the drastic reduction of the occupancy area of a drive circuit and an element number of it is attained. Moreover, since a digital video signal is inputted into a direct shift register, the signal-transmission line which supplies a digital video signal is shortened, and the gate capacitance connected becomes small dramatically and it becomes possible to decrease resistance and load-carrying capacity of the signal-transmission line of it.

[0087] (Example 4) By this example, TFT of the drive circuits (a signal-line drive circuit, scanning-line drive circuit, etc.) prepared around a picture element part is explained to be the pixel TFT which is the switching element of a picture element part according to a process about how to produce on the same substrate as an example of the creation approach at the time of applying an example 1 — an example 3 to an active matrix liquid crystal indicating equipment. However, in order to simplify explanation, in the drive circuit section, the CMOS circuit which is the basic component circuit will be illustrated at the pixel TFT of a picture element part by the cross section which met

a certain path in the n channel mold TFT.

[0088] First, as shown in drawing 12 (A), the substrate film 401 which consists of insulator layers, such as an oxidation silicon film, a silicon nitride film, or an oxidation silicon nitride film, is formed on the substrate 400 which consists of glass, such as barium borosilicate glass represented by #7059 glass of Corning, Inc., #1737 glass, etc., or alumino borosilicate glass. For example, 10-200nm (preferably 50-100nm) formation of SiH<sub>4</sub>, NH<sub>3</sub>, and the oxidation silicon nitride film 401a produced from N<sub>2</sub>O is carried out by the plasma-CVD method, and laminating formation of the oxidation nitriding hydrogenation silicon film 401b similarly produced from SiH<sub>4</sub> and N<sub>2</sub>O is carried out at the thickness of 50-200nm (preferably 100-150nm). Although this example showed the substrate film 401 as two-layer structure, you may form as structure which carried out the laminating the monolayer of said insulator layer, or more than two-layer.

[0089] The island-shape semi-conductor layers 402-406 are formed by the crystalline substance semi-conductor film which produced the semi-conductor film which has amorphous structure using the laser crystallizing method or the well-known heat crystallizing method. The thickness of these island-shape semi-conductor layers 402-406 is formed by the thickness of 25-80nm (preferably 30-60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably.

[0090] In order to produce the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO<sub>4</sub> laser are used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes \*\*\*\* selection, the conditions of crystallization are made into the pulse oscillation frequency of 30Hz when using an excimer laser, and make a laser energy consistency 100 - 400 mJ/cm<sup>2</sup> (typically 200 - 300 mJ/cm<sup>2</sup>). Moreover, it is good to consider as the pulse oscillation frequency of 1-10kHz using the 2nd higher harmonic, in using an YAG laser, and to make a laser energy consistency into 300 - 600 mJ/cm<sup>2</sup> (typically 350 - 500 mJ/cm<sup>2</sup>). and width of face of 100-1000 micrometers, for example, the laser light which condensed to the line by 400 micrometers, — the whole substrate surface — crossing — irradiating — the line at this time — the rate of superposition of laser light (rate of overlap) is performed as 80 - 98%.

[0091] Subsequently, wrap gate dielectric film 407 is formed for the island-shape semi-conductor layers 402-406. Gate dielectric film 407 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40-150nm, and contains silicon. In this example, it forms with an oxidation silicon nitride film with a thickness of 120nm. Of course, gate dielectric film is not limited to such an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure. For example, when using an oxidation silicone film, TEOS (Tetraethyl Orthosilicate) and O<sub>2</sub> can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 - 0.8 W/cm<sup>2</sup>, and can form. Thus, the oxidation silicone film produced can acquire a property good as gate dielectric film by 400-500-degree C heat annealing after that.

[0092] And the 1st electric conduction film 408 for forming a gate electrode on gate dielectric film 407 and the 2nd electric conduction film 409 are formed. In this example, the 1st electric conduction film 408 is formed in the thickness of 50-100nm by Ta, and the 2nd electric conduction film 409 is formed in the thickness of 100-300nm by W.

[0093] Ta film is formed by the spatter and carries out the spatter of the target of Ta by Ar. In this case, if Xe and Kr of optimum dose are added to Ar, the internal stress of Ta film can be eased and exfoliation of the film can be prevented. Moreover, although the resistivity of Ta film of alpha phase is 20microomegacm extent and it can be used for a gate electrode, the resistivity of Ta film of a parent phase is unsuitable for being 180microomegacm extent and considering as a gate electrode. In order to form Ta film of alpha phase, if tantalum nitride with the crystal structure near alpha phase of Ta is formed in the substrate of Ta by the thickness of about 10-50nm, Ta film of alpha phase can be obtained easily.

[0094] In forming W film, it forms W by the spatter used as the target. In addition, it can also form with the heat CVD method using 6 tungsten fluoride (WF<sub>6</sub>). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to make it 20 or less microomegacm. In W, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. From this, when based on a spatter, resistivity 9 - 20microomegacm can be realized using W target of 99.9999% of purity by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0095] In addition, in this example, although Ta and the 2nd electric conduction film 409 were set to W for the 1st electric conduction film 408, the element chosen from Ta, W, Ti, Mo, aluminum, and Cu by each or said element may be formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystal silicone film which doped impurity elements, such as Lynn, may be used. As combination other than this example, the 1st electric conduction film is formed by tantalum nitride (TaN), it combines and the 1st electric conduction film is formed by tantalum nitride (TaN), it combines, the 1st electric conduction film is formed by tantalum nitride (TaN), and there is combination for which the 2nd electric conduction film is set to W, for which the 2nd electric conduction film is set to aluminum and which sets the 2nd electric

conduction film to Cu.

[0096] Next, 1st etching processing for forming the masks 410-417 by the resist, and forming an electrode and wiring is performed. In this example, it carries out by mixing CF<sub>4</sub> and Cl<sub>2</sub> in the gas for etching, supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa using the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method, and generating the plasma. RF (13.56MHz) power of 100W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. When CF<sub>4</sub> and Cl<sub>2</sub> are mixed, W film and Ta film are etched to the same extent.

[0097] On the above-mentioned etching conditions, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration whose include angle of the taper section is 15-45 degrees by having been suitable in the configuration of the mask by the resist according to the effectiveness of the bias voltage impressed to a substrate side. In order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 - 20% of a rate. Since the selection ratios of an oxidization silicon nitride film to W film are 2-4 (typically 3), about 20-50nm of fields which the oxidization silicon nitride film exposed will be etched by over etching processing. In this way, the conductive layers 419-426 (the 1st conductive layers 419a-426a and 2nd conductive layer 419b-426b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. 418 is gate dielectric film and the field which about 20-50nm of fields which are not covered by the conductive layers 419-426 of the 1st configuration was etched, and became thin is formed.

[0098] And 1st doping processing is performed and the impurity element which gives n mold is added. ( Drawing 12 (B) ). What is necessary is just to perform the approach of doping with the ion doping method or ion-implantation. The conditions of the ion doping method make a dose  $1 \times 10^{13} - 5 \times 10^{14}$  atoms/cm<sup>2</sup>, and perform acceleration voltage as 60-100keV. the element which belongs to 15 groups as an impurity element which gives n mold — typical — Lynn — although (P) or arsenic (As) is used — here — Lynn — (P) is used. In this case, it becomes a mask to the impurity element with which conductive layers 419-423 give n mold, and the 1st impurity range 427-431 is formed in self align. In the 1st impurity range 427-431, the impurity element which gives n mold by the density range of  $1 \times 10^{20} - 1 \times 10^{21}$  atomic/cm<sup>3</sup> is added.

[0099] Next, as shown in drawing 12 (C), 2nd etching processing is performed. Similarly, using the ICP etching method, Cl<sub>2</sub> and O<sub>2</sub> are mixed with CF<sub>4</sub> to etching gas, RF power (13.56MHz) of 500W is supplied to the electrode of a coil mold by the pressure of 1Pa, and it carries out by generating the plasma. RF (13.56MHz) power of 50W is supplied to a substrate side (sample stage), and a low auto-bias electrical potential difference is impressed compared with the 1st etching processing. Anisotropic etching of the W film is carried out according to such conditions, and anisotropic etching of the Ta which is the 1st conductive layer is carried out with an etch rate later than it, and the conductive layers 433-440 (the 1st conductive layers 433a-440a and 2nd conductive layer 433b-440b) of the 2nd configuration are formed. 432 is gate dielectric film and the field which about further 20-50nm of fields which are not covered by the conductive layers 433-437 of the 2nd configuration was etched, and became thin is formed.

[0100] The etching reaction by the mixed gas of CF<sub>4</sub> and Cl<sub>2</sub> of W film or Ta film can be guessed from the vapor pressure of the radical or ion kind generated, and a resultant. If the vapor pressure of the fluoride of W and Ta and a chloride is compared, WF<sub>6</sub> which is the fluoride of W is extremely high, and WCl<sub>5</sub>, TaF<sub>5</sub>, and TaCl<sub>5</sub> of others have it. [ comparable ] Therefore, W film and Ta film are etched in the mixed gas of CF<sub>4</sub> and Cl<sub>2</sub>. However, if O<sub>2</sub> of optimum dose is added to this mixed gas, CF<sub>4</sub> and O<sub>2</sub> will react, it will be set to CO and F, and F radical or F ion will be generated so much. Consequently, the etch rate of W film with the high vapor pressure of a fluoride increases. On the other hand, even if, as for Ta, F increases, there are few increments in an etch rate relatively. Moreover, since Ta tends to oxidize as compared with W, the front face of Ta oxidizes by adding O<sub>2</sub>. In order that the oxide of Ta may react neither with a fluorine nor chlorine, the etch rate of Ta film falls further. Therefore, it becomes possible to become possible to make a difference to the etch rate of W film and Ta film, and to make the etch rate of W film larger than Ta film.

[0101] And as shown in drawing 13 (A), 2nd doping processing is performed. In this case, the impurity element which lowers a dose and gives n mold as conditions for high acceleration voltage rather than the 1st doping processing is doped. For example, a new impurity range is formed inside the 1st impurity range which set acceleration voltage to 70-120keV, carried out with the dose of  $1 \times 10^{13}$  /cm<sup>2</sup>, and was formed in the island-shape semi-conductor layer by drawing 12 (B). Doping uses the conductive layers 433-437 of the 2nd configuration as a mask to an impurity element, and it dopes them so that an impurity element may be added by the field of the 1st conductive layers [ 433 ]-437a bottom. In this way, the 2nd impurity range 446-450 between the 3rd impurity range 441-445 which laps with the 1st conductive layer 433a-437a, and the 1st impurity range and the 3rd impurity range is formed. It is made for the impurity element which gives n mold to serve as concentration of  $1 \times 10^{17} - 1 \times 10^{19}$  atoms/cm<sup>3</sup> in the 2nd impurity range, and is made to serve as concentration of  $1 \times 10^{16} - 1 \times 10^{18}$  atoms/cm<sup>3</sup> in the 3rd impurity range.

[0102] And as shown in drawing 13 (B), the 4th impurity range 454-456 of a conductivity type contrary to one conductivity type is formed in the island-shape semi-conductor layer 403 which forms the p channel mold TFT. The conductive layer 434 of the 2nd configuration is used as a mask to an impurity element, and an impurity range is formed in self align. At this time, the island-shape semi-conductor layers 402, 404, 405, and 406 which form the n channel mold TFT cover the whole surface with the resist masks 451-453. Although Lynn is added by impurity ranges 454-456 by concentration different, respectively, high impurity concentration is made to become  $2 \times 10^{20} - 2 \times 10^{21}$  atoms/cm<sup>3</sup> also in which the field by the ion doping method using diboron hexahydride (B-2 H<sub>6</sub>).

[0103] An impurity range is formed in each island-shape semi-conductor layer of the above process. The conductive layers 433-436 which lap with an island-shape semi-conductor layer function as a gate electrode of TFT. Moreover, in 439, a signal line and 440 function and, in the scanning line and 437, capacity wiring and 438 function as wiring in a drive circuit.

[0104] In this way, as shown in drawing 13 (C) for the purpose of control of a conductivity type, the process which activates the impurity element added by each island-shape semi-conductor layer is performed. This process is performed by the heat annealing method for using a furnace annealing furnace. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) is applicable. By the heat annealing method, an oxygen density performs 400-700 degrees C at 500-600 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably, and performs 1 ppm or less of heat treatments of 4 hours at 500 degrees C at this example. However, when the wiring material used for 433-440 is weak with heat, it is desirable to be activated after forming an interlayer insulation film (let silicon be a principal component), in order to protect wiring etc.

[0105] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-450 degrees C, and the process which hydrogenates an island-shape semi-conductor layer is performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0106] Subsequently, the 1st interlayer insulation film 457 is formed by the thickness of 100-200nm from an oxidation silicon nitride film. The 2nd interlayer insulation film 458 which consists of an organic insulating material ingredient on it is formed. Subsequently, the etching process for forming a contact hole is performed.

[0107] And in the drive circuit section, the drain wiring 462-464 which forms the source field of an island-shape semi-conductor layer, the source wiring 459-461 and the drain field which form contact, and contact is formed. Moreover, in a picture element part, the pixel electrodes 466 and 467 and the connection electrode 465 are formed (drawing 14). The connection with a as electric signal line 439 as a pixel TFT504 is formed with this connection electrode 465. The island-shape semi-conductor layer (not shown) which forms the island-shape semi-conductor layer 405 and retention volume with which the pixel electrode 466 is equivalent to the barrier layer of Pixel TFT, and respectively electric connection are formed. In addition, the pixel electrode 467 and retention volume 505 are the things of an adjacent pixel.

[0108] The picture element part which has the drive circuit section which has the n channel mold TFT501, the p channel mold TFT502, and the n channel mold TFT503 as mentioned above, and a pixel TFT504 and retention volume 505 can be formed on the same substrate. In this specification, such a substrate is called a active-matrix substrate for convenience.

[0109] The n channel mold TFT501 of the drive circuit section has the 1st impurity range 427 which functions as the channel formation field 468, the 3rd impurity range 441 (GOLD field) which laps with the conductive layer 433 which forms a gate electrode, the 2nd impurity range 446 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. It has the 4th impurity range 454 which functions on the p channel mold TFT502 as the channel formation field 469, the 4th impurity range 456 which laps with the conductive layer 434 which forms a gate electrode, the 4th impurity range 455 formed in the outside of a gate electrode, a source field, or a drain field. It has the 1st impurity range 429 which functions on the n channel mold TFT503 as the channel formation field 470, the 3rd impurity range 443 (GOLD field) which laps with the conductive layer 435 which forms a gate electrode, the 2nd impurity range 448 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field.

[0110] In the pixel TFT504 of a picture element part, it has the 1st impurity range 430 which functions as the channel formation field 471, the 3rd impurity range 444 (GOLD field) which laps with the conductive layer 436 which forms a gate electrode, the 2nd impurity range 449 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. Moreover, the impurity element which gives n mold, respectively is added by the same concentration as the 2nd impurity range by the same concentration as the 3rd impurity range with the same concentration as the 1st impurity range by the semi-conductor layer 431 which functions as one electrode of retention volume 505 in the semi-conductor layer 450 at the semi-conductor layer 445, and retention volume is formed by the capacity wiring 437 and the insulating layer (the same layer as gate dielectric film) in the meantime.

[0111] Without using a black matrix, this example is arranged so that the clearance between pixel inter-electrode can be shaded, and the edge of a pixel electrode may be lapped with a signal line or the scanning line.

[0112] Moreover, if the process shown by this example is followed, the number of photo masks required for production of a active-matrix substrate can be made into five sheets (an island-shape semi-conductor layer pattern, the 1st circuit pattern (the scanning line, a signal line, capacity wiring), the mask pattern of an n channel field, a contact hole pattern, the 2nd circuit pattern (a pixel electrode, connection electrode \*\*\*\*)). Consequently, a process can be shortened and it can contribute to reduction of a manufacturing cost, and improvement in the yield.

[0113] (Example 5) This example explains below the process which produces an active matrix liquid crystal display from the active-matrix substrate produced in the example 4. Drawing 15 is used for explanation.

[0114] First, after obtaining the active-matrix substrate of the condition of drawing 14 according to an example 4, the orientation film 506 is formed on the active-matrix substrate of drawing 14, and rubbing processing is performed.

[0115] On the other hand, the opposite substrate 507 is prepared. The color filter layers 508 and 509 and the overcoat layer 510 are formed in the opposite substrate 507. A color filter layer is considered as the configuration which forms as blue a color filter layer 509 as the red color filter layer 508 in piles in the upper part of TFT, and



serves as a light-shielding film. Since it is necessary to shade between TFT, and connection electrodes and pixel electrodes at least when the substrate of an example 4 is used, it is desirable to arrange a red color filter and a blue color filter in piles so that those locations may be shaded.

[0116] Moreover, according to the connection electrode 465, the red color filter layer 508, the blue color filter layer 509, and the green color filter layer 511 are piled up, and a spacer is formed. The color filter of each color is what mixed the pigment to acrylic resin, and is formed by the thickness of 1-3 micrometers. This can be formed in a predetermined pattern using a mask using a photosensitive ingredient. By taking into consideration 1-4 micrometers in thickness of the overcoat layer 510, the height of a spacer can be preferably set to 4-6 micrometers, and forms 2-7 micrometers of gaps when sticking a active-matrix substrate and an opposite substrate with this height. The overcoat layer 510 is formed with the organic resin ingredient of a photo-curing mold or a heat-curing mold, for example, uses polyimide, acrylic resin, etc.

[0117] Although what is necessary is just to determine arrangement of a spacer as arbitration, it is good to arrange to an opposite substrate so that a location may suit on a connection electrode, as drawing 15 shows, for example. Moreover, the location may be doubled on TFT of the drive circuit section, and a spacer may be arranged on an opposite substrate. It may go across this spacer all over the drive circuit section, and it may be arranged, and as source wiring and drain wiring are covered, it may arrange them.

[0118] After forming the overcoat layer 510, patterning formation of the counterelectrode 512 is carried out, and rubbing processing is performed after forming the orientation film 513.

[0119] And the active-matrix substrate and opposite substrate with which a picture element part and the drive circuit section were formed are stuck by the sealing compound 514. The filler is mixed in the sealing compound 514 and two substrates are stuck on it with uniform spacing by this filler and spacer. Then, the liquid crystal ingredient 515 is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for the liquid crystal ingredient 515. Thus, the active matrix liquid crystal display shown in drawing 15 is completed.

[0120] In addition, although TFT created by the above-mentioned process is top gate structure, this invention may be applied also to TFT of bottom gate structure, or TFT of other structures.

[0121] Moreover, this invention may be applied also to EL display which is a spontaneous light type image display device which used the electroluminescence (EL:Electro Luminescence) ingredient instead of the liquid crystal ingredient. In addition, it has the layer (it is hereafter described as an organic compound layer) which contains in an EL element the organic compound with which electroluminescence (Electro Luminescence: luminescence generated by adding electric field) is acquired, an anode plate, and cathode. Although the luminescence in an organic compound has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state, this invention is applicable also to EL display which used which luminescence.

[0122] (Example 6) This example explains the example of production at the time of applying an example 1 - an example 3 to EL display.

[0123] A-A which drawing 16 (A) is the plan of EL display which applied this invention, and showed drawing 16 (B) to drawing 16 (A) - it is the sectional view of cut EL display. In drawing 16 (A), for 4010, as for a picture element part and 4012, a substrate and 4011 are [ a signal-line drive circuit and 4013 ] scanning-line drive circuits, and each drive circuit results in FPC4017 through wiring 4014-4016, and is connected to an external instrument.

[0124] this time - at least - a picture element part - as a drive circuit and a picture element part are surrounded preferably, the covering material 4600, a sealing material (it is also called housing material) 4100, and sealant (the 2nd sealing material) 4101 are formed.

[0125] Moreover, as shown in drawing 16 (B), TFT4022 for drive circuits (however, the CMOS circuit which combined the n channel mold TFT and the p channel mold TFT here is illustrated.), and TFT4023 (however, only TFT which controls the current to an EL element here is illustrated.) for picture element parts are formed on a substrate 4010 and the substrate film 4021. These TFT(s) should just use well-known structure (top gate structure or bottom gate structure).

[0126] If TFT4022 for drive circuits and TFT4023 for picture element parts are completed using the well-known production approach, the pixel electrode 4027 which becomes by the transparence electric conduction film electrically connected with the drain of TFT4023 for picture element parts will be formed on the interlayer insulation film (flattening film) 4026 which becomes with a resin ingredient. As transparence electric conduction film, the compound (referred to as ITO) of indium oxide and the tin oxide or the compound of indium oxide and a zinc oxide can be used. And if the pixel electrode 4027 is formed, an insulator layer 4028 will be formed and opening will be formed on the pixel electrode 4027.

[0127] Next, the EL layer 4029 is formed. What is necessary is just to make the EL layer 4029 into a laminated structure or monolayer structure, combining freely well-known EL ingredient (a hole injection layer, an electron hole transportation layer, a luminous layer, an electron transport layer, or electronic injection layer). As what kind of structure it considers should just use a well-known technique. Moreover, there are a low-molecular system ingredient and a macromolecule system (polymer system) ingredient as EL ingredient. When using a low-molecular system ingredient, vacuum deposition is used, but when using a giant-molecule system ingredient, it is possible to use simple approaches, such as a spin coat method, print processes, or the ink jet method.

[0128] In this example, EL layer is formed with vacuum deposition using a shadow mask. By forming the luminous layer (a red luminous layer, a green luminous layer, and blue luminous layer) in which luminescence from which



wavelength differs for every pixel using a shadow mask is possible, color display becomes possible. In addition, which approach may be used although there are a method which combined the color conversion layer (CCM) and the color filter, and a method which combined the white luminous layer and the color filter. Of course, it can also consider as EL display of monochrome luminescence.

[0129] If the EL layer 4029 is formed, cathode 4030 will be formed on it. As for the moisture which exists in the interface of cathode 4030 and the EL layer 4029, or oxygen, eliminating as much as possible is desirable. Therefore, the device of forming cathode 4030 without carrying out continuation membrane formation of the EL layer 4029 and the cathode 4030 in a vacuum, or forming the EL layer 4029 by the inert atmosphere and carrying out atmospheric-air release is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).

[0130] In addition, in this example, the laminated structure of the LiF (lithium fluoride) film and aluminum (aluminum) film is used as cathode 4030. The LiF (lithium fluoride) film of 1nm thickness is specifically formed with vacuum deposition on the EL layer 4029, and the aluminum film of 300nm thickness is formed on it. Of course, the MgAg electrode which is a well-known cathode material may be used. And cathode 4030 is connected to wiring 4016 in the field shown by 4031. Wiring 4016 is a current supply line for giving a predetermined electrical potential difference to cathode 4030, and is connected to FPC4017 through the conductive paste ingredient 4032.

[0131] In order to connect cathode 4030 and wiring 4016 electrically in the field shown in 4031, it is necessary to form a contact hole in an interlayer insulation film 4026 and an insulator layer 4028. What is necessary is just to form these at the time of etching of an interlayer insulation film 4026, and etching of an insulator layer 4028 (at the time of formation of the contact hole for pixel electrodes) (at the time of formation of opening in front of EL stratification). Moreover, in case an insulator layer 4028 is etched, even an interlayer insulation film 4026 may etch by package. In this case, if an interlayer insulation film 4026 and an insulator layer 4028 are the same resin ingredients, the configuration of a contact hole can be made good.

[0132] Thus, the front face of the formed EL element is covered and the passivation film 4603, a filler 4604, and the covering material 4600 are formed.

[0133] Furthermore, as the EL element section is surrounded, a sealing material 4100 is formed inside the covering material 4600 and a substrate 4010, and sealant (the 2nd sealing material) 4101 is further formed in a sealing material's 4100 outside.

[0134] At this time, this filler 4604 functions also as adhesives for pasting up the covering material 4600. As a filler 4604, PVC (polyvinyl chloride), an epoxy resin, silicon resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the drying agent is prepared in the interior of this filler 4604, since the moisture absorption effectiveness can be held, it is desirable.

[0135] Moreover, a spacer may be made to contain in a filler 4604. At this time, a spacer may be used as the particulate matter which consists of BaO etc., and hygroscopicity may be given to the spacer itself.

[0136] When a spacer is formed, the passivation film 4603 can ease spacer \*\*. Moreover, the resin film which eases spacer \*\* may be prepared apart from the passivation film.

[0137] Moreover, as covering material 4600, a glass plate, an aluminum plate, a stainless plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. In addition, when using PVB and EVA as a filler 4604, it is desirable to use the sheet of the structure which sandwiched dozens of micrometers aluminium foil with the PVF film or the Mylar film.

[0138] However, depending on the luminescence direction (the direction of a light emission) from an EL element, the covering material 4600 needs to have translucency.

[0139] Moreover, wiring 4016 is electrically connected to FPC4017 through the clearance between a sealing material 4100 and sealant 4101, and a substrate 4010. In addition, although wiring 4016 was explained here, other wiring 4014 and 4015 is similarly connected to FPC4017 electrically through the bottom of a sealing material 4100 and sealant 4101.

[0140] in addition — since a filler 4604 is formed in this example — the covering material 4600 — pasting up — the side face (disclosure side) of a filler 4604 — a wrap — although the sealing material 4100 is attached like, a filler 4604 may be formed after attaching the covering material 4600 and a sealing material 4100. In this case, the inlet of the filler which leads to the opening currently formed with a substrate 4010, the covering material 4600, and a sealing material 4100 is prepared. And said opening is made into a vacua (10 to 2 or less Torrs), and after dipping an inlet in the tank which is in close [ of a filler ], the atmospheric pressure outside an opening is made higher than the atmospheric pressure in an opening, and it is filled up with a filler into an opening.

[0141] (Example 7) This example explains the example which produced EL display of a gestalt which is different in an example 6 using this invention using drawing 17 (A) and drawing 17 (B). Since the thing of the same number as drawing 16 (A) and drawing 16 (B) has pointed out the same part, explanation is omitted.

[0142] Drawing 17 (A) is the plan of EL display of this example, and shows the sectional view which cut drawing 17 (A) by A-A' to drawing 17 (B).

[0143] According to an example 6, the front face of an EL element is covered and even the passivation film 4603 is formed.

[0144] Furthermore, a filler 4604 is formed as an EL element is covered. This filler 4604 functions also as adhesives for pasting up the covering material 4600. As a filler 4604, PVC (polyvinyl chloride), an epoxy resin, silicon resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the drying agent is prepared in the interior of this filler 4604, since the moisture absorption effectiveness can be held, it is desirable.

[0145] Moreover, a spacer may be made to contain in a filler 4604. At this time, a spacer may be used as the particulate matter which consists of BaO etc., and hygroscopicity may be given to the spacer itself.

[0146] When a spacer is formed, the passivation film 4603 can ease spacer \*\*. Moreover, the resin film which eases spacer \*\* may be prepared apart from the passivation film.

[0147] Moreover, as covering material 4600, a glass plate, an aluminum plate, a stainless plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. In addition, when using PVB and EVA as a filler 4604, it is desirable to use the sheet of the structure which sandwiched dozens of micrometers aluminium foil with the PVF film or the Mylar film.

[0148] However, depending on the luminescence direction (the direction of a light emission) from an EL element, the covering material 4600 needs to have translucency.

[0149] next, the side face (disclosure side) of the filler 4604 after pasting up the covering material 4600 using a filler 4604 — a wrap — a frame material 4601 is attached like. A frame material 4601 is pasted up with a sealing material (it functions as adhesives) 4602. Although it is desirable at this time to use a photo-setting resin as a sealing material 4602, thermosetting resin may be used as long as the thermal resistance of EL layer allows. In addition, as for a sealing material 4602, it is desirable that it is the ingredient which penetrates neither moisture nor oxygen as much as possible. Moreover, the drying agent may be added inside the sealing material 4602.

[0150] Moreover, wiring 4016 is electrically connected to FPC4017 through the clearance between a sealing material 4602 and a substrate 4010. In addition, although wiring 4016 was explained here, other wiring 4014 and 4015 is similarly connected to FPC4017 electrically through the bottom of a sealing material 4602.

[0151] in addition — since a filler 4604 is formed in this example — the covering material 4600 — pasting up — the side face (disclosure side) of a filler 4604 — a wrap — although the frame material 4601 is attached like, a filler 4604 may be formed after attaching the covering material 4600 and a frame material 4601. In this case, the inlet of the filler which leads to the opening currently formed with a substrate 4010, the covering material 4600, and a frame material 4601 is prepared. And said opening is made into a vacua (10 to 2 or less Torrs), and after dipping an inlet in the tank which is in close [ of a filler ], the atmospheric pressure outside an opening is made higher than the atmospheric pressure in an opening, and it is filled up with a filler into an opening.

[0152] (Example 8) Top-face structure is shown in drawing 19 (A), and here shows a circuit diagram for the still more detailed cross-section structure of the picture element part in EL display to drawing 18 at drawing 19 (B). What is necessary is just to refer to mutually in drawing 18, drawing 19 (A), and drawing 19 (B), since a common sign is used.

[0153] In drawing 18, TFT4502 for switching prepared on the substrate 4501 uses the n channel mold TFT formed by the well-known approach. Although considered as double-gate structure in this example, since there is no big difference in structure and a production process, explanation is omitted. However, it becomes the structure where the serial of the two TFT(s) was substantially carried out by considering as double-gate structure, and there is an advantage that an OFF state current value can be reduced. In addition, although considered as double-gate structure in this example, single gate structure is sufficient and multi-gate structure with triple gate structure or the gate number beyond it is sufficient. Moreover, you may form using the p channel mold TFT formed by the well-known approach.

[0154] Moreover, TFT4503 for current control uses the n channel mold TFT formed by the well-known approach. The source wiring (signal line) of TFT4502 for switching is 34. And 35 which is drain wiring of TFT4502 for switching is electrically connected to the gate electrode 37 of TFT for current control by wiring 36. Moreover, wiring shown by 38 is gate wiring (scanning line) which connects electrically the gate electrodes 39a and 39b of TFT4502 for switching.

[0155] Since TFT4503 for current control is a component which controls the amount of currents which flows an EL element, many currents flow and the danger of degradation by heat or degradation by the hot carrier is also a high component. Therefore, the structure of preparing a LDD field so that it may lap with a gate electrode through gate dielectric film at the drain side of TFT4503 for current control is very effective.

[0156] Moreover, although single gate structure is illustrating TFT4503 for current control in this example, it is good also as multi-gate structure where two or more TFT(s) were tied to the serial. Furthermore, it is good also as structure which ties two or more TFT(s) to juxtaposition, divides a channel formation field into plurality substantially, and enabled it to emit heat at high effectiveness. Such structure is effective as a cure against degradation by heat.

[0157] Moreover, as shown in drawing 19 (A), the wiring 36 used as the gate electrode 37 of TFT4503 for current control laps with the current supply line 4506 electrically connected with the drain wiring 40 of TFT4503 for current control through the insulator layer in the field shown by 4504. At this time, in the field shown by 4504, a capacitor is formed and it functions as retention volume for holding the electrical potential difference concerning the gate electrode 37 of TFT4503 for current control. Retention volume 4504 is formed between the insulator layer (not shown) of the same layer as the semi-conductor film 4507 and gate dielectric film which were electrically connected with the current supply line 4506, and wiring 36. Moreover, the capacity formed by the same layer (not shown) as wiring 36 and the 1st interlayer insulation film and the current supply line 4506 can also be used as retention volume. In addition, the drain of TFT for current control is connected to the current supply line (power-source line) 4506, and the fixed electrical potential difference is always applied.

[0158] The 1st passivation film 41 is formed on TFT4502 for switching, and TFT4503 for current control, and the flattening film 42 which becomes by the resin insulator layer is formed on it. It is very important to carry out flattening of the level difference by TFT using the flattening film 42. Since EL layer formed behind is very thin, poor

luminescence may be caused when a level difference exists. Therefore, before forming a pixel electrode so that EL layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.

[0159] Moreover, 43 is a pixel electrode (cathode of an EL element) which becomes by the reflexible high electric conduction film, and is electrically connected to the drain of TFT4503 for current control. as the pixel electrode 43 — the aluminium alloy film, the copper alloy film, or the silver alloy film — low — it is desirable to use electric conduction [\*\*\*\*] film or those cascade screens. Of course, it is good also as a laminated structure with other electric conduction film.

[0160] Moreover, a luminous layer 45 is formed into the slot (it is equivalent to a pixel) formed of the banks 44a and 44b formed by the insulator layer (preferably resin). In addition, in drawing 19 (A), in order to clarify the location of retention volume 4504, the bank is omitted in part and only Banks 44a and 44b are illustrated, but it is prepared between the current supply line 4506 and source wiring (signal line) 34 so that the current supply line 4506 and source wiring (signal line) 34 may be covered in part. Moreover, although only 2 pixels is illustrated here, the luminous layer corresponding to each color of R (red), G (green), and B (blue) may be made and divided. pi conjugation polymer system ingredient is used as an organic electroluminescence ingredient made into a luminous layer. As a typical polymer system ingredient, a poly para-phenylene vinylene (PPV) system, a polyvinyl-carbazole (PVK) system, the poly fluorene system, etc. are mentioned.

[0161] In addition, what is necessary is just to use an ingredient which was indicated by "H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder, and H.Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37", and JP,10-92576,A, for example, although there is a thing of various molds as a PPV system organic electroluminescence ingredient.

[0162] What is necessary is to use polyphenylene vinylene for cyano polyphenylene vinylene and the luminous layer which emits light green, and just to use polyphenylene vinylene or the poly alkyl phenylene for the luminous layer which emits light blue as a concrete luminous layer, at the luminous layer which emits light in red. thickness — 30-150nm (preferably 40-100nm) — then, it is good.

[0163] However, the above example is an example of the organic electroluminescence ingredient which can be used as a luminous layer, and there is no need of limiting to this. What is necessary is just to form EL layer (layer for moving luminescence and the carrier for it), combining freely a luminous layer, a charge transportation layer, or a charge impregnation layer.

[0164] For example, although this example showed the example which uses a polymer system ingredient as a luminous layer, a low-molecular system organic electroluminescence ingredient may be used. Moreover, it is also possible to use inorganic materials, such as silicon carbide, as a charge transportation layer or a charge impregnation layer. These organic electroluminescence ingredients and inorganic materials can use a well-known ingredient.

[0165] In this example, it is considering as EL layer of the laminated structure which formed the hole injection layer 46 which becomes by PEDOT (poly thiophene) or PAni (poly aniline) on the luminous layer 45. And on a hole injection layer 46, the anode plate 47 which becomes by the transparence electric conduction film is formed. Since light generated by the luminous layer 45 is emitted toward a top-face side in the case of this example (going above TFT), an anode plate must be translucency. Although the compound of indium oxide and the tin oxide and the compound of indium oxide and a zinc oxide can be used as transparence electric conduction film, in order to form after forming a low heat-resistant luminous layer and a heat-resistant low hole injection layer, what can form membranes at low temperature as much as possible is desirable.

[0166] When formed to an anode plate 47, EL element 4505 is completed. In addition, EL element 4505 here points out the capacitor formed in the pixel electrode (cathode) 43, the luminous layer 45, the hole injection layer 46, and the anode plate 47. As shown in drawing 19 (A), since the pixel electrode 43 is mostly in agreement with the area of a pixel, the whole pixel functions as an EL element. Therefore, the use effectiveness of luminescence is very high and the bright image display of it becomes possible.

[0167] By the way, in this example, the 2nd passivation film 48 is further formed on the anode plate 47. As the 2nd passivation film 48, a silicon nitride film or the nitriding oxidation silicon film is desirable. This purpose is intercepting the exterior and an EL element, and has both the semantics which prevents degradation by oxidation of an organic electroluminescence ingredient, and the semantics which stops degasifying from an organic electroluminescence ingredient. Thereby, the dependability of EL display is raised.

[0168] As mentioned above, EL display of this invention has the picture element part which consists of a pixel of structure like drawing 18, and has TFT for switching of an OFF state current value low enough, and TFT for current control strong against hot carrier impregnation. Therefore, it has high dependability and EL display in which good image display is possible is obtained.

[0169] (Example 9) This example explains the structure where the structure of EL element 4505 was reversed, in the picture element part shown in the example 8. Drawing 20 is used for explanation. In addition, since different points from the structure of drawing 18 are only the part of an EL element, and TFT for current control, other explanation is given to omit.

[0170] In drawing 20, TFT4503 for current control uses the p channel mold TFT formed by the well-known approach.

[0171] In this example, the transparence electric conduction film is used as a pixel electrode (anode plate) 50. The electric conduction film which specifically becomes with the compound of indium oxide and a zinc oxide is used. Of course, the electric conduction film which becomes with the compound of indium oxide and the tin oxide may be

used.

[0172] And after the banks 51a and 51b which become by the insulator layer are formed, the luminous layer 52 which becomes by the polyvinyl carbazole by solution spreading is formed. The electronic injection layer 53 which becomes by potassium acetylacetonate (written as acacK) on it, and the cathode 54 which becomes with an aluminium alloy are formed. In this case, cathode 54 functions also as passivation film. In this way, EL element 4701 is formed.

[0173] In the case of this example, the light generated in the luminous layer 52 is emitted toward the direction of the substrate with which TFT was formed as shown by the arrow head.

[0174] (Example 10) This example shows the example at the time of considering as the pixel of different structure from the circuit diagram shown in drawing 19 (B) to drawing 21 (A) - (C). in addition, this example — setting — 4801 — in gate wiring (scanning line) of TFT4802 for switching, and 4804, retention volume, and 4806 and 4808 make it as a current supply line, and 4807 makes TFT for current control, and 4805 an EL element for the source wiring (signal line) of TFT4802 for switching, and 4803.

[0175] Drawing 21 (A) is an example at the time of making the current supply line 4806 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply line 4806. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0176] Moreover, drawing 21 (B) is an example at the time of forming the current supply line 4808 in parallel with the gate wiring (scanning line) 4803. In addition, although it has structure established so that the current supply line 4808 and the gate wiring (scanning line) 4803 might not lap in drawing 21 (B), if it is wiring formed in the layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply line 4808 and the gate wiring (scanning line) 4803 can be made to share monopoly area, a picture element part can be further made highly minute.

[0177] Moreover, drawing 21 (C) forms the current supply line 4808 in parallel with the gate wiring (scanning line) 4803 like the structure of drawing 21 (B), and the description is that it forms two pixels further so that it may become axial symmetry to the current supply line 4808. Moreover, it is also effective to form the current supply line 4808 so that it may lap with either of the gate wiring (scanning line) 4803. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0178] (Example 11) Although it is considering as the structure of forming retention volume 4504, in drawing 19 (A) shown in the example 8, and drawing 19 (B) in order to hold the electrical potential difference concerning the gate of TFT4503 for current control, it is also possible to omit retention volume 4504. In the case of the example 8, it has the LDD field prepared so that it might lap with a gate electrode through gate dielectric film at the drain side of TFT4503 for current control. Although the parasitic capacitance generally called gate capacitance is formed in these overlapping fields, in this example, the description is in the point of using this parasitic capacitance positively as a substitute of retention volume 4504.

[0179] Since the capacitance of this parasitic capacitance changes with the area which the above-mentioned gate electrode and the LDD field overlapped, it is decided by the die length of the LDD field included to those overlapping fields.

[0180] Moreover, in the structure of drawing 21 (A) shown in the example 10, (B), and (C), it is possible similarly to omit retention volume 4805.

[0181] (Example 12) This example explains the electronic equipment incorporating the image display device of this invention. Personal Digital Assistants (an electronic notebook, a mobile computer, cellular phone, etc.), a video camera, a still camera, a personal computer, television, etc. are mentioned to these electronic equipment. Those examples are shown in drawing 22 - drawing 24. However, about an active matrix liquid crystal display, drawing 22, drawing 23, and drawing 24 are applied among image display devices, and drawing 22 and drawing 23 are applied about EL display.

[0182] Drawing 22 (A) is a cellular phone and consists of a body 9001, the voice output section 9002, the voice input section 9003, a display 9004, an actuation switch 9005, and an antenna 9006. This invention is [0183].

[ applicable to a display 9004 ] Drawing 22 (B) is a video camera and consists of a body 9101, a display 9102, the voice input section 9103, the actuation switch 9104, a dc-battery 9105, and the television section 9106. This invention is applicable to a display 9102.

[0184] Drawing 22 (C) is the mobile computer or personal digital assistant which is a kind of a personal computer, and consists of a body 9201, the camera section 9202, the television section 9203, an actuation switch 9204, and a display 9205. This invention is applicable to a display 9205.

[0185] Drawing 22 (D) is a head mount display (goggles mold display), and consists of a body 9301, a display 9302, and the arm section 9303. This invention is applicable to a display 9302.

[0186] Drawing 22 (E) is television and consists of a body 9401, a loudspeaker 9402, a display 9403, a receiving set 9404, and amplifying device 9405 grade. This invention is applicable to a display 9402.

[0187] Drawing 22 (F) is pocket books, consists of a body 9501, the display 9502, a storage 9504, an actuation switch 9505, and an antenna 9506, and displays the data memorized by the mini disc (MD) and DVD (Digital Versatile Disc) and the data received with the antenna. This invention is applicable to a display 9502.

[0188] Drawing 23 (A) is a personal computer and consists of a body 9601, the image input section 9602, a display 9603, and a keyboard 9604. This invention is applicable to a display 9603.

[0189] Drawing 23 (B) is a player using the record medium (it is hereafter called a record medium) which recorded

the program, and consists of a body 9701, a display 9702, the loudspeaker section 9703, a record medium 9704, and an actuation switch 9705. In addition, this equipment can use music appreciation, movie appreciation, a game, and the Internet, using DVD, CD, etc. as a record medium. This invention is applicable to a display 9702.

[0190] Drawing 23 (C) is a digital camera and consists of a body 9801, a display 9802, an eye contacting part 9803, an actuation switch 9804, and the television section (not shown). This invention is applicable to a display 9802.

[0191] Drawing 23 (D) is the head mount display of the one eye, and consists of a display 9901 and the head mount section 9902. This invention is applicable to a display 9901.

[0192] Drawing 24 (A) is a front mold projector, and consists of a projection device 3601 and a screen 3602.

[0193] Drawing 24 (B) is a rear mold projector, and consists of a body 3701, a projection device 3702, a mirror 3703, and a screen 3704.

[0194] In addition, drawing 24 (C) is drawing having shown an example of the structure of the projection devices 3601 and 3702 in drawing 24 (A) and drawing 24 (B). Projection devices 3601 and 3702 consist of the light source optical system 3801, mirrors 3802, 3804-3806, a dichroic mirror 3803, prism 3807, the liquid crystal display section 3808, a phase contrast plate 3809, and an incident light study system 3810. The incident light study system 3810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited to this, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 24 (C). This invention is applicable to the liquid crystal display section 3808.

[0195] Moreover, drawing 24 (D) is drawing having shown an example of the structure of the light source optical system 3801 in drawing 24 (C). The light source optical system 3801 is constituted from this example by a reflector 3811, the light source 3812, the lens arrays 3813 and 3814, the polarization sensing element 3815, and the condenser lens 3816. In addition, the light source optical system shown in drawing 24 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0196] As mentioned above, the applicability of this invention is very wide, and it is possible to apply to the electronic equipment of all fields using an image display device.

[0197]

[Effect of the Invention] It can reduce the area of a signal-line drive circuit sharply, the drive circuit of the image display device by this invention is effective in the miniaturization of an image display device, and decreases the resistance and capacity which are parasitic on wiring of a digital video signal, and enlarges the margin of a drive circuit of operation. These have effectiveness in the cost reduction of an image display device, and the improvement in the yield.

---

[Translation done.]

**Requested  
document:**

**JP2001312243 click here to view the pdf  
document**

## **IMAGE DISPLAY DEVICE AND ITS DRIVING CIRCUIT**

Patent Number: JP2001312243  
Publication date: 2001-11-09  
Inventor(s): KOYAMA JUN; ASAMI MUNEHIRO  
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD  
Requested Patent: ☐ JP2001312243  
Application Number: JP20010046159 20010222  
Priority Number(s):  
IPC Classification: G09G3/20; G02F1/133; G09G3/30; G09G3/36  
EC Classification:  
Equivalents:

### **Abstract**

**PROBLEM TO BE SOLVED:** To reduce an area to be occupied in the signal line driving circuit of an image display device corresponding to inputs of digital video signals and to reduce the parasitic capacitance and resistance of input transmission line of the digital video signal.

**SOLUTION:** Both of a means which inputs directly digital video signals to shift registers respectively and which performs the serial-parallel conversion of the signals and a means shares storage circuits and D/A conversion circuits in the signal line driving circuit with (n) lines (n is a natural number of 2 or more) of signal lines are adopted in this display device. Moreover, one horizontal scanning period is divided into (n) pieces and storage circuits and D/A conversion circuits perform processions respectively with respect to different signal lines in respective divided periods.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-312243  
(P2001-312243A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl.	識別記号	F I	キーワード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 E 6 2 3 C 6 2 3 H 6 1 1 J 5 0 0
G 0 2 F 1/133	6 1 1 5 5 0	G 0 2 F 1/133	

審査請求 未請求 請求項の数33 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2001-46159 (P2001-46159)  
(22) 出願日 平成13年2月22日 (2001.2.22)  
(31) 優先権主張番号 特願2000-43756 (P2000-43756)  
(32) 優先日 平成12年2月22日 (2000.2.22)  
(33) 優先権主張国 日本 (J P)

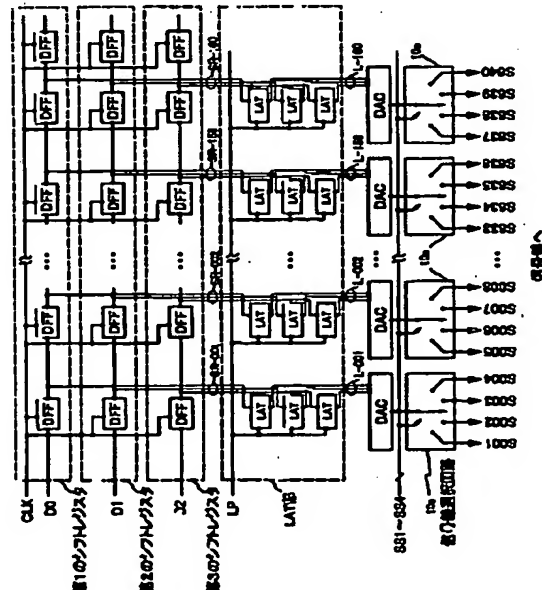
(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(73) 発明者 浅見 宗広  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 画像表示装置およびその駆動回路

(57) 【要約】

【課題】 デジタル映像信号入力に対応する画像表示装置の信号線駆動回路に占める面積の縮小とそのデジタル映像信号の入力伝送線の寄生容量、抵抗を低減する。

【解決手段】 デジタル映像信号をシフトレジスタに直接入力し直並列変換する手段と、信号線駆動回路内の記憶回路やD/A変換回路をn本 (nは2以上の自然数) の信号線で共有する手段の双方を取り入れる。1水平走査期間をn個に分割し、その分割された各期間に、記憶回路やD/A変換回路がそれぞれ異なる信号線に対して処理を行う。





## 【特許請求の範囲】

【請求項1】  $k$ 本 ( $k$ は2以上の整数)の信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、

前記  $k$ 本の信号線を駆動する信号線駆動回路と、前記複数の走査線を駆動する走査線駆動回路と、を有する画像表示装置において、

前記信号線駆動回路は、 $m$ ビット ( $m$ は自然数)のデジタル映像信号が入力される  $m$ 個或いは  $m$ の倍数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する  $n$ 分の  $m \times k$ 個 ( $n$ は2以上の整数)の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の  $D/A$ 変換回路と、該  $D/A$ 変換回路の出力信号を該当する信号線へ送出する  $n$ 分の  $k$ 個の信号線選択回路と、を有することを特徴とする画像表示装置。

【請求項2】 複数の信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、前記複数の信号線を駆動する信号線駆動回路と、前記複数の走査線を駆動する走査線駆動回路と、を有する画像表示装置において、

前記信号線駆動回路は、複数ビットのデジタル映像信号が入力される複数のシフトレジスタと、該シフトレジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の  $D/A$ 変換回路と、該  $D/A$ 変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

前記デジタル映像信号は前記各シフトレジスタに入力され、前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトされ、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1水平走査期間相当の時間内に  $n$ 回 ( $n$ は2以上の整数)繰り返すことを特徴とする画像表示装置。

【請求項3】 光の3原色である  $R$  (赤)、 $G$  (緑)、 $B$  (青)に対応した3本の信号線を単位に3の倍数本 (以下、 $k$ 本とする)からなる信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、

前記  $k$ 本の信号線を駆動する信号線駆動回路と、前記複数の走査線を駆動する走査線駆動回路と、を有するカラー表示対応の画像表示装置において、前記信号線駆動回路は、前記  $RGB$ に対してそれぞれ  $m$ ビット ( $m$ は自然数)のデジタル映像信号が入力される  $m$ 個或いは  $m$ の倍数個のシフトレジスタと、該シフトレ

ジスタの出力信号を記憶する  $n$ 分の  $m \times k$ 個 ( $n$ は3の倍数)の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の  $D/A$ 変換回路と、該  $D/A$ 変換回路の出力信号を該当する信号線へ送出する  $n$ 分の  $k$ 個の信号線選択回路と、を有することを特徴とする画像表示装置。

【請求項4】 光の3原色である  $R$  (赤)、 $G$  (緑)、 $B$  (青)に対応した3本の信号線を単位に3の倍数本からなる信号線と、複数の走査線と、前記各信号線と前記各走査線が交差する各領域に設けられた複数の画素電極と、該複数の画素電極を駆動するための複数のスイッチング素子と、を有する画素アレイ部と、前記3の倍数本からなる信号線を駆動する信号線駆動回路と、

前記複数の走査線を駆動する走査線駆動回路と、を有するカラー表示対応の画像表示装置において、

前記信号線駆動回路は、前記  $RGB$ に対してそれぞれ  $m$ ビット ( $m$ は自然数)のデジタル映像信号が入力される複数のシフトレジスタと、該シフトレジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数の  $D/A$ 変換回路と、該  $D/A$ 変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

1水平走査期間は第1、第2、第3の期間を有し、

前記第1の期間には、前記  $R$ に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、

前記第2の期間には、前記  $G$ に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、

前記第3の期間には、前記  $B$ に対応する前記デジタル映像信号が前記各シフトレジスタに入力され、

且つ、前記3つの各期間内に、

前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトし、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1回或いは複数回行うことを特徴とする画像表示装置。

【請求項5】 請求項1 或いは請求項3において、前記  $D/A$ 変換回路の数は、 $n$ 分の  $k$ 個であることを特徴とする画像表示装置。

【請求項6】 請求項1乃至請求項4のいずれか1項において、前記  $D/A$ 変換回路はランプ型  $D/A$ 変換回路であることを特徴とする画像表示装置。

【請求項7】 請求項1乃至請求項6のいずれか1項において、前記記憶回路はラッチ回路であることを特徴とする画像表示装置。

【請求項8】 請求項7において、前記ラッチ回路はアナログスイッチおよび保持容量を有することを特徴とする画像表示装置。

【請求項9】 請求項7において、前記ラッチ回路はクロックドインバータを有することを特徴とする画像表示装置。

置。

【請求項10】請求項7において、前記ラッチ回路はアナログスイッチおよび複数のインバータを有することを特徴とする画像表示装置。

【請求項11】液晶材料を用いて表示を行う請求項1乃至請求項10のいずれか1項に記載の画像表示装置。

【請求項12】エレクトロルミネッセンス(EL)材料を用いて表示を行う請求項1乃至請求項10のいずれか1項に記載の画像表示装置。

【請求項13】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とする携帯電話。

【請求項14】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とするビデオカメラ。

【請求項15】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項16】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項17】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とするテレビ。

【請求項18】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とする携帯書籍。

【請求項19】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とするDVDプレーヤー。

【請求項20】請求項1乃至請求項12のいずれか1項に記載の前記画像表示装置を用いることを特徴とするデジタルカメラ。

【請求項21】請求項1乃至請求項11のいずれか1項に記載の前記画像表示装置を用いることを特徴とするプロジェクター。

【請求項22】 $k$ 本( $k$ は2以上の整数)の信号線を駆動する画像表示装置の信号線駆動回路において、前記信号線駆動回路は、 $m$ ビット( $m$ は自然数)のデジタル映像信号が入力される $m$ 個或いは $m$ の倍数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する $n$ 分の $m \times k$ 個( $n$ は2以上の整数)の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数のD/A変換回路と、該D/A変換回路の出力信号を該当する信号線へ送出する $n$ 分の $k$ 個の信号線選択回路と、を有することを特徴とする画像表示装置の駆動回路。

【請求項23】複数の信号線を駆動する画像表示装置の信号線駆動回路において、前記信号線駆動回路は、複数ビットのデジタル映像信号が入力される複数のシフトレジスタと、該シフトレ

ジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数のD/A変換回路と、該D/A変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、前記デジタル映像信号は前記各シフトレジスタに入力され、前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトされ、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1水平走査期間相当の時間内に $n$ 回( $n$ は2以上の整数)繰り返すことを特徴とする画像表示装置の駆動回路。

【請求項24】光の3原色であるR(赤)、G(緑)、B(青)に対応した3本の信号線を単位に3の倍数本(以下、 $k$ 本とする)からなる信号線を駆動する画像表示装置の信号線駆動回路において、前記信号線駆動回路は、前記RGBに対してそれぞれ $m$ ビット( $m$ は自然数)のデジタル映像信号が入力される $m$ 個或いは $m$ の倍数個のシフトレジスタと、該シフトレジスタの出力信号を記憶する $n$ 分の $m \times k$ 個( $n$ は3の倍数)の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数のD/A変換回路と、該D/A変換回路の出力信号を該当する信号線へ送出する $n$ 分の $k$ 個の信号線選択回路と、を有することを特徴とする画像表示装置の駆動回路。

【請求項25】光の3原色であるR(赤)、G(緑)、B(青)に対応した3本の信号線を単位に3の倍数本からなる信号線を駆動する画像表示装置の信号線駆動回路において、前記信号線駆動回路は、前記RGBに対してそれぞれ $m$ ビット( $m$ は自然数)のデジタル映像信号が入力される複数のシフトレジスタと、該シフトレジスタの出力信号を記憶する複数の記憶回路と、該記憶回路の出力信号をアナログ信号に変換する複数のD/A変換回路と、該D/A変換回路の出力信号を該当する信号線へ送出する複数の信号線選択回路と、を有し、

1水平走査期間は第1、第2、第3の期間を有し、前記第1の期間には、前記Rに対応する前記デジタル映像信号が前記各シフトレジスタに入力され、前記第2の期間には、前記Gに対応する前記デジタル映像信号が前記各シフトレジスタに入力され、前記第3の期間には、前記Bに対応する前記デジタル映像信号が前記各シフトレジスタに入力され、且つ、前記3つの各期間内に、前記入力されたデジタル映像信号は、前記各シフトレジスタ内を該当する前記記憶回路に出力されるまで順にシフトし、該シフトされたデジタル映像信号は、ラッチ信号により前記記憶回路に取り込まれる動作を、1回或いは複数回行うことを特徴とする画像表示装置の駆動回路。

【請求項26】請求項22或いは請求項24において、

前記D/A変換回路の数は、 $n$ 分の $k$ 個であることを特徴とする画像表示装置の駆動回路。

【請求項27】請求項22乃至請求項25のいずれか1項において、前記D/A変換回路はランプ型D/A変換回路であることを特徴とする画像表示装置の駆動回路。

【請求項28】請求項22乃至請求項27のいずれか1項において、前記記憶回路はラッチ回路であることを特徴とする画像表示装置の駆動回路。

【請求項29】請求項28において、前記ラッチ回路はアナログスイッチおよび保持容量を有することを特徴とする画像表示装置の駆動回路。

【請求項30】請求項28において、前記ラッチ回路はクロックドインバータを有することを特徴とする画像表示装置の駆動回路。

【請求項31】請求項28において、前記ラッチ回路はアナログスイッチおよび複数のインバータを有することを特徴とする画像表示装置の駆動回路。

【請求項32】請求項22乃至請求項31のいずれか1項において、前記画像表示装置の駆動回路はポリシリコン薄膜トランジスタで形成されていることを特徴とする画像表示装置の駆動回路。

【請求項33】請求項22乃至請求項31のいずれか1項において、前記画像表示装置の駆動回路は単結晶トランジスタで形成されていることを特徴とする画像表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル映像信号を入力する画像表示装置とその駆動回路に関し、特にその駆動回路の占有面積を縮小し、さらに、入力されるデジタル映像信号の遅延や波形歪みを低減する画像表示装置の駆動回路に関する。

【0002】

【従来の技術】近年ガラス基板上に半導体薄膜を形成した画像表示装置、特に薄膜トランジスタ（以降、TFTと記す）を使用したアクティブマトリクス型画像表示装置が普及している。TFTを使用したアクティブマトリクス型画像表示装置（以下、画像表示装置という）は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御している。

【0003】さらに、最近の技術として、画素を構成する画素TFTのほかに、画素アレイ部の外側に駆動回路を、TFTを用いて同時形成するポリシリコンTFT技術が発展しつつある。

【0004】また、同時形成される駆動回路もアナログ映像信号対応のものだけでなく、デジタル映像信号に対応したものが実現されている。

【0005】画像表示装置の1つであるアクティブマトリクス型液晶表示装置の構成例を図25に示す。図25に示されるように、この液晶表示装置は信号線駆動回路

101、走査線駆動回路102、画素アレイ部103、信号線104、走査線105、画素TFT106、液晶107などによって構成されている。

【0006】図26は従来例のデジタル映像信号に対応した（デジタル方式）信号線駆動回路の構成を詳細に説明するものである。また、図27は図26に対するタイミングチャートである。ここでは、 $k$ （水平） $\times$ 1（垂直）の画素を持つ画像表示装置を例に説明する。説明を簡易に行うため、デジタル映像信号が3ビットの場合を例にとるが、実際の画像表示装置ではビット数は3には限定しない。また、図26、図27では $k=640$ の具体的例を示した。

【0007】従来の信号線駆動回路は以下のような構成を有している。それらは、クロック信号（CLK）およびスタートパルス（SP）を入力し、順次パルスをシフトしていくシフトレジスタ、そのシフトレジスタの出力によりデジタル映像信号を順次記憶する第1の記憶回路（LAT1）、第1の記憶回路の出力をラッチ信号（LP）の入力にあわせて記憶する第2の記憶回路（LAT2）、第2の記憶回路の出力をアナログ信号に変換するD/A変換回路（DAC）よりなっている。ここでは、記憶回路はラッチ回路を用いている。

【0008】そして、シフトレジスタ段数（図26に示すDFFの個数に相当）は $k+1$ 段となる。シフトレジスタの出力信号は、直接またはバッファを介して、第1の記憶回路（LAT1）の制御信号（SR-001～SR-640）となる。第1の記憶回路（LAT1）は前記制御信号の出力タイミングに合わせて、デジタル映像信号（D0～D2）を記憶する。ここで第1の記憶回路（LAT1）は3（ビット数） $\times$  $k$ （水平信号線数）個必要になる。第2の記憶回路（LAT2）も同じく $3k$ 個必要となる。

【0009】信号線駆動回路には、シフトレジスタ用クロック信号（CLK）、スタートパルス（SP）、デジタル映像信号（D0～D2）、ラッチ信号（LP）が入力される。シフトレジスタにはまず、スタートパルス（SP）とクロック信号（CLK）が入力され、順次パルスをシフトしていく。シフトレジスタの出力（図26ではSR-001～SR-640）は図27に示すように、クロック信号（CLK）の1周期ずつシフトしたパルスとなる。シフトレジスタの出力信号によって、第1の記憶回路（LAT1）は動作し、そのときに入力されているデジタル映像信号を記憶していく。シフトレジスタのパルスが1ライン分シフトすることによって、1ライン分のデジタル映像信号が第1の記憶回路（LAT1）に記憶される。（図26ではL1-001～L1-640。ただし、簡単のためビットの区別はせずにまとめて示した。）

【0010】次に、水平帰線期間に、ラッチ信号（LP）が入力される。このラッチ信号によって、第2の記

憶回路 (LAT2) が動作し、第1の記憶回路 (LAT1) に記憶された映像信号 (図26、図27ではL1-001~L1-640) は第2の記憶回路 (LAT2) に記憶される。水平帰線期間が終了し、次の水平走査期間になると、再び、シフトレジスタは動作を始める。一方、第2の記憶回路 (LAT2) に記憶されていたデジタル映像信号 (図26、図27ではL2-001~L2-640。ただし、簡単のためビットの区別はせずにまとめて示した) はD/A変換回路 (DAC) でアナログ信号に変換される。このアナログ信号は信号線 (図26ではS001~S640) に送出され、さらに走査線駆動回路によりオンされた画素TFTを介して該当する画素に書き込まれる。

【0011】以上の動作によって、画像表示装置は画素に映像信号を書き込み、そして表示をおこなう。

【0012】

【発明が解決しようとする課題】上記にて説明したようなデジタル方式の駆動回路はアナログ方式に比べてその占有面積が非常に大きいという欠点がある。デジタル方式では、信号が“Hi”または“Lo”の2値であらわせるというメリットがあるが、その代わりデータ量が膨大になり、画像表示装置を構成する上で、小型化という観点から大きな妨げとなっている。画像表示装置の面積の増加は、その製造原価の増加をまねき、製造企業の収益を悪化させるという問題点がある。

【0013】また、近年扱う情報量の急激な増加に伴い、画素数の増大化および画素の精細化が図られている。しかし、画素数の増加にあわせて、駆動回路も増加していくことになり更なる駆動回路の面積の縮小が望まれている。

【0014】ここで、一般に用いられているコンピュータの表示解像度の例を画素数と規格名とによって以下に示す。

画素数	規格名
640×480	VGA
800×600	SVGA
1024×768	XGA
1280×1024	SXGA
1600×1200	UXGA

【0015】例えば、SXGA規格を例にとった場合、ビット数を8とすると、上述した従来の駆動回路では1280本の信号線に対して、第1の記憶回路、第2の記憶回路、D/A変換回路がそれぞれ10240個必要になる。また、ハイビジョンTV (HDTV) などのような高精細なテレビ受像機が普及し、コンピュータの世界のみなならず、AVの分野においても、高精細な画像が必要になってきている。米国では、地上波デジタル放送がはじまり、日本においても、デジタル放送の時代が始まることになる。デジタル放送では画素数1920×1080のものが有力であり、駆動回路の占める面積縮小が

早急に求められている。

【0016】一方、図26にも示されているように従来のデジタル方式の駆動回路では、デジタル映像信号 (D0~D2) を供給する信号伝送線は全ての第1の記憶回路 (LAT1) と接続する必要があることから、その配線の引き回しが非常に長くなっている。その結果、負荷容量や抵抗といった信号伝送線への負荷が大きくなり、デジタル映像信号の遅延や波形の歪みが大きくなってしまふ。この傾向は、画素数が増大すれば顕著となり、正確なデジタル映像信号に基づく表示が困難になるという問題点が生じる。

【0017】そこで、本発明は上述の問題点を解決するために、信号線駆動回路の占有面積を削減し、さらに、デジタル映像信号の遅延や波形歪みを低減する技術を提供するものである。

【0018】

【課題を解決するための手段】信号線駆動回路内の記憶回路やD/A変換回路をn本 (nは2以上の自然数) の信号線で共有する。1水平走査期間をn個に分割し、その分割された各期間に、記憶回路やD/A変換回路がそれぞれ異なる信号線に対して処理を行うことで、全ての信号線を従来例と同等に駆動することができる。こうして信号線駆動回路内の記憶回路やD/A変換回路を従来例のn分の1にすることが可能となる。なお、本明細書においては、信号線や走査線に対して、画像を表示させるために適切な処理を行うことを信号線を駆動する、或いは走査線を駆動する、と表現する。

【0019】また、デジタル映像信号はシフトレジスタに直接入力され、シフトレジスタ内を順次シフトさせ所望の位置まで達したらクロック信号の入力を中止し信号をシフトさせるのをやめ、その位置で信号を保持させる。次のデジタル映像信号とクロック信号の入力が始まる前にラッチ信号を入力することでシフトレジスタに保持されていた信号を記憶回路に転送することで、従来例の第2の記憶回路までと同等の動作を行うことができる。このようにデジタル映像信号を直接シフトレジスタに入力することで、デジタル映像信号を供給する信号伝送線を短くし、また、接続するゲート数が数千から数個になるのでゲート容量が劇的に小さくなり、その信号伝送線の抵抗と負荷容量を減少させることが可能となる。

【0020】

【発明の実施の形態】ここでは、一般に水平方向と垂直方向の画素数をそれぞれk、lとした画像表示装置を例にとって説明する。本実施形態では、デジタル映像信号を3ビットとして説明するが、本発明は3ビットに限らず、6ビット、8ビットまたはそれ以外のビット数についても有効である。また、以下の説明において、1つのD/A変換回路で何本の信号線を駆動するかを示すパラメータとしてnを用いるが、水平方向の画素数kがnの倍数でないときは、kに適当に数字を足してnの倍数に

したものを新たに $k$ と定義するものとする。この場合、付け加えた画素を仮想的なものとして取り扱えば実際の動作には何も支障をきたさない。

【0021】以下に本実施形態の構成について説明し、次に、本実施形態の動作について説明する。図1に本実施形態の信号線駆動回路例を、図2にはその動作タイミングを示す。ただし、図1、図2では $k=640$ の具体例を示している。以下では、一般的な説明として $k$ などの記号を用いるが、〔 〕内には図1、図2に対応した具体的な数字を示すことにする。なお、走査線駆動回路の構成、画素アレイ部の構成は従来例と同じである。

【0022】本実施形態の信号線駆動回路は、ディレイ型フリップフロップ（DFF）から成る3個のシフトレジスタ（第1～第3のシフトレジスタ）と、記憶回路（LAT）と、D/A変換回路（DAC）と、信号線選択回路10aとを有している。従来例ではシフトレジスタへスタートパルスを入力するが、本実施形態ではスタートパルスではなくデジタル映像信号を入力する。また、各記憶回路（LAT）へはラッチ信号（LP）が入力される。各D/A変換回路（DAC）は $n$ 本の信号線を駆動し、信号線選択回路10aにより適切な信号線にD/A変換回路の出力を書き込む。ただし、図1、図2では $n=4$ の具体例を示した。

【0023】図1から判るように、DFFは $3 \times ((k/n) + 1)$ 段〔483段〕、記憶回路（LAT）は $3k/n$ 個〔480個〕、そしてD/A変換回路（DAC）は $k/n$ 個〔160個〕、それぞれ存在する。

【0024】次にその動作について、図2を参照しながら説明する。各シフトレジスタにはそれぞれ異なるビットのデジタル映像信号（D0～D2）と、クロック信号（CLK）が入力される。1水平走査期間には1ライン全ての信号線に対応するデジタル映像信号が時間経過と共に順次入力される。従って、D0、D1、D2は、それぞれ個々の信号線に対応したデジタル映像信号から構成されている。1水平走査期間に時間経過と共に入力されるデジタル映像信号の並び順は、従来例と異なり、対応する信号線の番号によって表すと「 $(k-n+1, k-2n+1, \dots, n+1, 1), (k-n+2, k-2n+2, \dots, n+2, 2), (k-n+3, k-2n+3, \dots, n+3, 3), \dots, (k, k-2n, \dots, 2n, n)$ 」〔(637, 633, ..., 5, 1), (638, 634, ..., 6, 2), (639, 635, ..., 7, 3), (640, 636, ..., 8, 4)〕となる。ここで、括弧「( )」はサブグループを表す。各シフトレジスタは入力されたデジタル映像信号をクロック信号（CLK）と同期をとりながら順次シフトさせる（SR-001～SR-160に示す）。

【0025】1水平走査期間に記憶回路（LAT）にラッチ信号（LP）を $n$ 回入力する。本実施形態では以下のタイミングでラッチ信号を入力する。

【0026】まず、第1番目のサブグループ内で信号線の番号が $k-n+1$ 〔637〕に対応するデジタル映像信号が $k/n$ 段目〔160段目〕のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第1回目のラッチ信号（LP）を入力し、シフトレジスタの各DFFの出力を各記憶回路（LAT）に記憶させる。この動作で、信号線の番号1、 $n+1$ 、 $2n+1$ 、 $\dots$ 、 $k-n+1$ 〔1、5、9、 $\dots$ 、637〕に対応するデジタル映像信号が記憶回路（LAT）に転送されたことになる。

【0027】その後、第2番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が $k-n+2$ 〔638〕に対応するデジタル映像信号が $k/n$ 段目〔160段目〕のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第2回目のラッチ信号（LP）を入力し、シフトレジスタの各DFFの出力を各記憶回路（LAT）に記憶させる。この動作で、信号線の番号2、 $n+2$ 、 $2n+2$ 、 $\dots$ 、 $k-n+2$ 〔2、6、10、 $\dots$ 、638〕に対応するデジタル映像信号が記憶回路（LAT）に転送されたことになる。

【0028】以降も同様な操作を繰り返し、最後の第 $n$ 番目のサブグループ内で信号線の番号が $k$ 〔640〕に対応するデジタル映像信号が $k/n$ 段目〔160段目〕のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第 $n$ 回目〔4回目〕のラッチ信号（LP）を入力し、シフトレジスタの各DFFの出力を各記憶回路（LAT）に記憶させる。この動作で、信号線の番号 $n$ 、 $2n$ 、 $3n$ 、 $\dots$ 、 $k$ 〔4、8、12、 $\dots$ 、640〕に対応するデジタル映像信号が記憶回路（LAT）に転送されたことになる。

【0029】以上のようなラッチ信号（LP）の入力により、信号線一行分全てのデジタル映像信号を記憶回路（LAT）に転送したことになる。

【0030】記憶回路（LAT）の出力はD/A変換回路に入力され、3ビットのデジタル信号はアナログ信号に変換される。変換されたアナログ信号は、信号線選択回路10aを経由して適切な信号線へ書き込まれる。以下に、この書き込みタイミングについて説明する。

【0031】1水平走査期間に、上記のように記憶回路（LAT）も $n$ 回記憶動作を繰り返す。従って、ある信号線に対応するデジタル映像信号が、記憶回路（LAT）に記憶されている間に対応する信号線を選択し書き込みを終了しなければならない。

【0032】まず、第1番目のサブグループである信号線の番号1、 $n+1$ 、 $2n+1$ 、 $\dots$ 、 $k-n+1$ 〔1、5、9、 $\dots$ 、637〕に対応するデジタル映像信号が記憶回路（LAT）に記憶されている期間内に、第1の制御信号（SS1）を入力し、各信号線選択回路

10aは1、 $n+1$ 、 $2n+1$ 、 $\dots$ 、 $k-n+1$ 、  
〔1、5、9、 $\dots$ 、637〕番目の信号線をそれぞれ  
選択する。

【0033】次に、記憶回路内(LAT部)のデータが  
一新され、第2番目のサブグループである信号線の番号  
2、 $n+2$ 、 $2n+2$ 、 $\dots$ 、 $k-n+2$ 〔2、6、  
10、 $\dots$ 、638〕に対応するデジタル映像信号が記  
憶回路(LAT)に記憶されている期間内に、第2の制  
御信号(SS2)を入力し、各信号線選択回路10aは  
2、 $n+2$ 、 $2n+2$ 、 $\dots$ 、 $k-n+2$ 〔2、6、  
10、 $\dots$ 、638〕番目の信号線をそれぞれ選択す  
る。

【0034】一般に、 $i$ を自然数として、第 $i$ 番目のサ  
ブグループである信号線の番号 $i$ 、 $n+i$ 、 $2n+i$ 、 $\dots$ 、 $k-n+i$ に対応するデジタル映像信号が記  
憶回路(LAT)に記憶されている期間内に、第 $i$ の制  
御信号(SS $i$ )を入力し、各信号線選択回路10aは  
 $i$ 、 $n+i$ 、 $2n+i$ 、 $\dots$ 、 $k-n+i$ 番目の信号線  
をそれぞれ選択する。

【0035】このようにして、1水平走査期間に $n$ 回、  
信号線選択回路10aに制御信号パルスを入力すること  
により適切な信号線にD/A変換回路の出力を書き込む  
ことが可能となる。

【0036】なお、記憶回路(LAT)の出力とD/A  
変換回路の間に、バッファ回路、レベルシフト回路、出  
力の期間を制限するイネーブル回路などを入れても良  
い。また、デジタル映像信号の入力並び順は、上記の順  
に限定されない。この並び順は、信号線選択回路の動作  
方法やシフトレジスタの動作方向(デジタル映像信号の  
入力接続位置)等により決定される。

【0037】本実施形態では、3ビットのデジタル映像  
信号が分割なしに入力される場合を示したが、シフトレ  
ジスタの動作周波数を低くするために入力されるデジタ  
ル映像信号を分割してもよい。この場合、合計で3ビッ  
ト×分割数分の信号伝送線が入力され、同数のシフトレ  
ジスタが必要になる。なお、個々のシフトレジスタに含  
まれるDFFの数は分割された数に対応して減少する。

【0038】以上の実施形態において、D/A変換回路  
はランプ型D/A変換回路を用いても良い。その場合、  
D/A変換回路の個数は $k/n$ とは限定されない。

【0039】

【実施例】(実施例1) 本実施例では、水平方向の画素  
数を1024、垂直方向の画素数を768のXGA規格  
である画像表示装置を例にとりて説明する。本実施例で  
は、デジタル映像信号を3ビットとして説明するが、本  
発明は3ビットに限らず、6ビット、8ビットまたはそ  
れ以外のビット数についても有効である。また、1つの  
D/A変換回路で4本の信号線を駆動する場合を例にと  
る。

【0040】以下に、本実施例の構成について説明し、

次に、本実施例の動作について説明する。

【0041】図3に本実施例による信号線駆動回路を示  
す。走査線駆動回路の構成、画素アレイ部の構成は従来  
と同じであるのでこれらについての説明は省略する。本  
実施例の信号線駆動回路は257段のDFFから成るシ  
フトレジスタが3個(第1～第3のシフトレジスタ)  
と、 $256 \times 3$ (ビット数)の記憶回路(LAT)と、  
256個のD/A変換回路と、256個の信号線選択回  
路10bを有している。

【0042】それぞれのシフトレジスタにはクロック信  
号(CLK)は共通に入力されるが、第1ビット目のデ  
ジタル映像信号(D0)は第1のシフトレジスタへ、第  
2ビット目のデジタル映像信号(D1)は第2のシフト  
レジスタへ、第3ビット目のデジタル映像信号(D2)  
は第3のシフトレジスタへ入力される。記憶回路(LA  
T)には、ラッチ信号(LP)が、信号線選択回路10  
bには4つの制御信号(SS1～SS4)がそれぞれ入  
力される。なお、本実施例では図1の場合と異なりデジ  
タル映像信号を供給する信号伝送線等が信号線駆動回路  
の右側から入力されている。

【0043】次にその動作について、図4を参照しなが  
ら説明する。各シフトレジスタには対応するデジタル映  
像信号(D $i$ ( $i=0 \sim 2$ ))とクロック信号(CL  
K)が入力される。各シフトレジスタは入力されたデジ  
タル映像信号(D $i$ )を順次右から左へシフトさせる。  
この様子を図4のSR-256、SR-255、 $\dots$ 、S  
R-001に示す。時間経過と共に入力されるデジタル  
映像信号の並び順を、対応する信号線の番号によって表  
すと「(1、5、 $\dots$ 、1017、1021)、(2、  
6、 $\dots$ 、1018、1022)、(3、7、 $\dots$ 、101  
9、1023)、(4、8、 $\dots$ 、1020、102  
4)」となる。ここで、括弧“( )”はサブグループ  
を表す。本実施例では図1と異なりデジタル映像信号が  
右から左へシフトすることから、その映像信号の並び順  
も図2で示したものと異なりサブグループ内では昇順  
になる。

【0044】1水平走査期間に記憶回路(LAT)部に  
入力されるラッチ信号(LP)を4回入力する。本実施  
例では以下のタイミングでラッチ信号を入力する。

【0045】まず、第1番目のサブグループ内で信号線  
の番号が1に対応するデジタル映像信号が、1段目の  
DFF(図3では最左列のDFFをゼロ段目とする)か  
ら出力されたら、クロック信号を一時的に止めて各DFF  
からの出力を固定させる。この時、第1回目のラッチ  
信号(LP)を入力し、シフトレジスタの各DFFの出  
力を各記憶回路(LAT)に記憶させる。この動作で、  
信号線の番号1、5、 $\dots$ 、1017、1021に対応  
するデジタル映像信号が記憶回路(LAT)に転送され  
ると同時にD/A変換回路にはそれらの信号が出力され  
る。



【0046】その後、第2番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が2に対応するデジタル映像信号が1段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第2回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号2、6、…、1018、1022に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0047】次に、第3番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が3に対応するデジタル映像信号が1段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第3回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号3、7、…、1019、1023に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0048】最後に、第4番目のサブグループのデジタル映像信号と、クロック信号を入力し、信号線の番号が4に対応するデジタル映像信号が1段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第4回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線の番号4、8、…、1020、1024に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはそれらの信号が出力される。

【0049】以上のようなラッチ信号の入力により、信号線一行分全てのデジタル映像信号を記憶回路(LAT)に転送したことになる。

【0050】D/A変換回路に入力された、3ビットのデジタル信号はアナログ信号に変換される。変換されたアナログ信号は、信号線選択回路10bを経由して適切な信号線へ書き込まれる。以下に、この書き込みタイミングについて説明する。

【0051】1水平走査期間に、記憶回路(LAT)は4回記憶動作を繰り返す。従って、ある信号線に対応するデジタル映像信号が、記憶回路(LAT)に記憶されている間に対応する信号線を選択し書き込みを終了しなければならない。

【0052】まず、第1番目のサブグループである信号線の番号1、5、…、1017、1021に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第1の制御信号(SS1)を入力し、各信

号線選択回路10bは1、5、…、1017、1021番目の信号線をそれぞれ選択する。

【0053】次に、第2番目のサブグループである信号線の番号2、6、…、1018、1022に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第2の制御信号(SS2)を入力し、各信号線選択回路10bは2、6、…、1018、1022番目の信号線をそれぞれ選択する。

【0054】さらに、第3番目のサブグループである信号線の番号3、7、…、1019、1023に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第3の制御信号(SS3)を入力し、各信号線選択回路10bは3、7、…、1019、1023番目の信号線をそれぞれ選択する。

【0055】最後に、第4番目のサブグループである信号線の番号4、8、…、1020、1024に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第4の制御信号(SS4)を入力し、各信号線選択回路10bは4、8、…、1020、1024番目の信号線をそれぞれ選択する。

【0056】このようにして、1水平走査期間に4回、信号線選択回路10bに制御信号パルスを入力することにより適切な信号線にD/A変換回路の出力を書き込むことが可能となる。

【0057】なお、記憶回路(LAT)の出力とD/A変換回路の間に、バッファ回路、レベルシフト回路、出力の期間を制限するイネーブル回路などを入れても良い。また、デジタル映像信号の入力並び順は、上記の順に限定されない。この並び順は、信号線選択回路の動作方法やシフトレジスタの動作方向(デジタル映像信号の入力接続位置)等により決定される。例えば、デジタル映像信号の入力において信号線駆動回路の左右のどちらへ入力するかにより上記サブグループ内の信号の並び順が逆になることは既に述べた。また、上記において信号線選択回路10bの第1の制御信号(SS1)と第4の制御信号(SS4)のパルスを入力するタイミングを入れ替えた場合、デジタル映像信号の入力並び順も、第1番目のサブグループと第4番目のサブグループを入れ替えたものとなる。

【0058】記憶回路の具体例を図5に示す。図5

(A)はクロックドインバータを用いたものであり、図5(B)はSRAM型のものであり、図5(C)はDRAM型のものである。これらは代表例であり、本発明はこれらの形式に限定されない。

【0059】以上のように、本発明では、シフトレジスタの個数は増えるものの1個当たり従来の4分の1の回路数からなるシフトレジスタ、従来の8分の1の記憶回路、従来の4分の1のD/A変換回路で画像表示装置を駆動することができ、駆動回路の占有面積および、素子数の大幅な削減が可能となる。また、デジタル映像信号



を直接シフトレジスタに入力するので、デジタル映像信号を供給する信号伝送線を短くし、また、接続されるゲート容量が劇的に小さくなり、その信号伝送線の抵抗と負荷容量を減少させることが可能となる。

【0060】(実施例2) 本実施例では、D/A変換回路にランプ方式のD/A変換回路を採用した場合の例を示す。図6にランプ方式のD/A変換回路を用いた場合の信号線駆動回路の概略図を示す。なお、本実施例でもXGA規格の画像表示装置で3ビットのデジタル映像信号に対応した場合を説明するが、本発明は3ビットに限らず、それ以外のビット数に対応した場合やXGA以外の規格の画像表示装置についても有効である。

【0061】以下に本実施例の構成と動作について説明する。

【0062】本実施例では、シフトレジスタから記憶回路(LAT)までは実施例1と同じである。記憶回路の下流には、ビット比較パルス幅変換回路(BPC)、アナログスイッチ20、そして信号線選択回路10cを有している。ビット比較パルス幅変換回路(BPC)には、記憶回路(LAT)に記憶されていた3ビットのデジタル映像信号、カウント信号(C0~C2)、セット信号(ST)が入力される。アナログスイッチ20には、ビット比較パルス幅変換回路の出力(PW-i、iは001~256)と、階調電源(VR)が入力される。信号線選択回路10cにはアナログスイッチ20の出力と制御信号(SS1~SS4)が入力される。

【0063】図6において左から第i段目のビット比較パルス幅変換回路(BPC)の構成例を図8に示す。BPCは排他的論理和ゲート、3入力NANDゲート、インバータ、セットリセットフリップフロップ(RS-FF)を有する。図8では、i段目の記憶回路(LAT)の出力を、ビットを区別して、L-i(0)、L-i(1)、L-i(2)とした。

【0064】次に、本実施例の動作について説明する。図6の回路動作を理解するために必要な信号系の動作タイミングを図7に示した。シフトレジスタから記憶回路(LAT)までの動作は実施例1と同じである。また、信号線選択回路10cに入力される制御信号(SS1~SS4)についても実施例1と同じである。信号線選択回路10cにより4本の信号線が順次選択されていくたびに、カウント信号(C0~C2)、セット信号(ST)、階調電源(VR)が周期的に入力される。これにより信号線全てに情報の書き込みを同等におこなうことができる。

【0065】ランプ方式D/A変換回路の詳細な動作を説明するために、4本の信号線のうち1本が信号線選択回路により選択されている期間の動作タイミングを図9に示す。まず、セット信号の入力によりRS-FF30がセットされ、出力PW-iがHiレベルになる。次に、第2のラッチ回路に記憶されていたデジタル映像信

号は、排他的論理和ゲートによってカウント信号(C0~C2)とビット毎に比較される。3ビット全てが一致した場合には、全ての排他的論理和ゲートの出力がHiレベルになり、その結果、3入力NANDゲートの出力(反転RC-i)はLoレベルになる(したがって、RC-iはHiレベルになる)。この3入力NANDの出力もRS-FF30に入力され、RC-iがHiレベルになるとリセットされ、出力PW-iがLoレベルに戻る。図9には、3ビットのデジタル映像信号{L-i(0)、L-i(1)、L-i(2)}が{0、0、1}の場合についてのRC-i、PW-i、DA-iの出力例を示した。こうして、デジタル映像信号の情報はビット比較パルス幅変換回路(BPC)の出力PW-iのパルス幅に変換される。

【0066】ビット比較パルス幅変換回路(BPC)の出力PW-iは、アナログスイッチ20の開閉を制御する。アナログスイッチ20にはカウント信号(C0~C2)に同期した階段状の電圧レベルをもつ階調電源(VR)が印加され、BPCの出力PW-iがHiレベルの間だけ信号線と導通し、PW-iがLoレベルになる瞬間の電圧を信号線に書き込む。

【0067】以上の動作により、デジタル映像信号をアナログ信号に変換し、信号線に任意の電位を書き込む。なお、階調電源(VR)は階段状である必要はなく、連続的に単調に変化するものでもよい。また、ビット比較パルス幅変換回路(BPC)の出力とアナログスイッチ20の間に、バッファ回路、レベルシフト回路などを入れてもよい。

【0068】以上のように、本発明では、D/A変換回路としてランプ方式のD/A変換回路を用いることもでき、その回路構成は従来の約4分の1で済み、駆動回路の占有面積および、素子数の大幅な削減が可能となる。

【0069】(実施例3) 本実施例では、水平方向の画素数を640×3(RGBの3色)、垂直方向の画素数を480のVGA規格である単板でカラー表示が可能なカラー画像表示装置を例にとりて説明する。ただし、R、G、Bは光の3原色である赤、緑、青をそれぞれ示す。本実施例でも、デジタル映像信号を3ビットとして説明するが、本発明は3ビットに限らず、6ビット、8ビットまたはそれ以外のビット数についても有効である。また、1つのD/A変換回路で3本の信号線を駆動する場合を例にとる。

【0070】以下に本実施例の構成と動作について説明する。

【0071】図10に本実施例による信号線駆動回路を示す。走査線駆動回路の構成、画素アレイ部の構成は従来と同じであるのでこれらについての説明は省略する。本実施例の信号線駆動回路は641段のDFFから成るシフトレジスタが3個(第1~第3のシフトレジスタ)と、640×3(ビット数)の記憶回路(LAT)と、

640個のD/A変換回路と、640個の信号線選択回路10dを有している。

【0072】それぞれのシフトレジスタにはクロック信号(CLK)は共通に入力されるが、RGBの第1ビット目のデジタル映像信号(D0)は第1のシフトレジスタへ、RGBの第2ビット目のデジタル映像信号(D1)は第2のシフトレジスタへ、RGBの第3ビット目のデジタル映像信号(D2)は第3のシフトレジスタへ入力される。記憶回路(LAT)には、ラッチ信号(LP)が、信号線選択回路10dには3つの制御信号(SS1~SS3)がそれぞれ入力される。なお、本実施例では図1の場合と同様にデジタル映像信号を供給する信号伝送線等が信号線駆動回路の左側から入力されている。

【0073】次にその動作について、図11を参照しながら説明する。各シフトレジスタには対応するRGBのデジタル映像信号(Di(i=0~2))とクロック信号(CLK)が入力される。各シフトレジスタは入力されたデジタル映像信号(Di)を順次左から右へシフトさせる。この様子を図11のSR-001、SR-002、…、SR-640に示す。時間経過と共に入力されるデジタル映像信号の並び順を、図10で示した対応する信号線の名称によって表すと「(R640、R639、…、R002、R001)、(G640、G639、…、G002、G001)、(B640、B639、…、B002、B001)」となる。ここで、括弧“( ) ”はサブグループを表し、RGB別にまとめられている。本実施例では図1と同様にデジタル映像信号が左から右へシフトすることから、その映像信号の並び順も図2と同様にサブグループ内では降順になる。

【0074】1水平走査期間に記憶回路(LAT)部にラッチ信号(LP)を3回入力する。本実施例では以下のタイミングでラッチ信号を入力する。

【0075】まず、第1番目の“R”のサブグループ内で信号線R640に対応するデジタル映像信号が、640段目のDFF(図10では最左列のDFFを1段目とする)から出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第1回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線R001、R002、…、R639、R640に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはこれらの信号が出力される。

【0076】その後、第2番目の“G”のサブグループのデジタル映像信号と、クロック信号を入力し、信号線G640に対応するデジタル映像信号が640段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第2回目のラッチ信号(LP)を入力し、シフトレジスタの各D

FFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線G001、G002、…、G639、G640に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはこれらの信号が出力される。

【0077】最後に、第3番目の“B”のサブグループのデジタル映像信号と、クロック信号を入力し、信号線B640に対応するデジタル映像信号が640段目のDFFから出力されたら、クロック信号を一時的に止めて各DFFからの出力を固定させる。この時、第3回目のラッチ信号(LP)を入力し、シフトレジスタの各DFFの出力を各記憶回路(LAT)に記憶させる。この動作で、信号線B001、B002、…、B639、B640に対応するデジタル映像信号が記憶回路(LAT)に転送されると同時にD/A変換回路にはこれらの信号が出力される。

【0078】以上のようなラッチ信号の入力により、信号線一行分全てのデジタル映像信号を記憶回路(LAT)に転送したことになる。

【0079】D/A変換回路に入力された、3ビットのデジタル信号はアナログ信号に変換される。変換されたアナログ信号は、信号線選択回路10dを経由して適切な信号線へ書き込まれる。以下に、この書き込みタイミングについて説明する。

【0080】1水平走査期間に、記憶回路(LAT)は3回記憶動作を繰り返す。従って、ある信号線に対応するデジタル映像信号が、記憶回路(LAT)に記憶されている間に対応する信号線を選択し書き込みを終了しなければならない。

【0081】まず、第1番目の“R”のサブグループである信号線R001、R002、…、R639、R640に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第1の制御信号(SS1)を入力し、各信号線選択回路10dはR001、R002、…、R639、R640の信号線をそれぞれ選択する。

【0082】次に、第2番目の“G”のサブグループである信号線G001、G002、…、G639、G640に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第2の制御信号(SS2)を入力し、各信号線選択回路10dはG001、G002、…、G639、G640の信号線をそれぞれ選択する。

【0083】最後に、第3番目の“B”のサブグループである信号線B001、B002、…、B639、B640に対応するデジタル映像信号が記憶回路(LAT)に記憶されている期間内に、第3の制御信号(SS3)を入力し、各信号線選択回路10dはB001、B002、…、B639、B640の信号線をそれぞれ選択する。

【0084】このようにして、1水平走査期間にRGBに対応して3回、信号線選択回路10dに制御信号パルスを入力することにより適切な信号線にD/A変換回路の出力を書き込むことが可能となる。

【0085】なお、記憶回路(LAT)の出力とD/A変換回路の間に、バッファ回路、レベルシフト回路、出力の期間を制限するイネーブル回路などを入れても良い。また、デジタル映像信号の入力並び順は、上記の順に限定されない。この並び順は、信号線選択回路の動作方法やシフトレジスタの動作方向(デジタル映像信号の入力接続位置)等により決定される。例えば、デジタル映像信号の入力において信号線駆動回路の左右のどちらへ入力するかにより上記サブグループ内の信号の並び順が逆になる。また、上記において信号線選択回路10dの第1の制御信号(SS1)と第3の制御信号(SS3)のパルスを入力するタイミングを入れ替えた場合、デジタル映像信号の入力並び順も、第1番目の“R”のサブグループと第3番目の“B”のサブグループを入れ替えたものとなる。

【0086】以上のように、本発明では、シフトレジスタの個数は増えるものの1個当たり従来の3分の1の回路数からなるシフトレジスタ、従来の6分の1の記憶回路、従来の3分の1のD/A変換回路で画像表示装置を駆動することができ、駆動回路の占有面積および、素子数の大幅な削減が可能となる。また、デジタル映像信号を直接シフトレジスタに入力するので、デジタル映像信号を供給する信号伝送線を短くし、また、接続されるゲート容量が劇的に小さくなり、その信号伝送線の抵抗と負荷容量を減少させることが可能となる。

【0087】(実施例4)本実施例では、実施例1～実施例3をアクティブマトリクス型液晶表示装置に適用した場合の作成方法例として、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路(信号線駆動回路、走査線駆動回路等)のTFTを同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路であるCMOS回路を、画素部の画素TFTにはnチャネル型TFTとを、ある経路に沿った断面により図示することにする。

【0088】まず、図12(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜401aを10～200nm(好ましくは50～100nm)形成し、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜401bを50～200nm(好ましくは100～150

nm)の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0089】島状半導体層402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層402～406の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0090】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>(代表的には200～300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>(代表的には350～500mJ/cm<sup>2</sup>)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0091】次いで、島状半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0092】そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2の導電膜409とを形成する。本実施例では、第1の導電膜408をTaで50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

【0093】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 $\alpha$ 相のTa膜を形成するために、Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを $10\sim 50\text{nm}$ 程度の厚さでTaの下地に形成しておくことと $\alpha$ 相のTa膜を容易に得ることができる。

【0094】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim 20\mu\Omega\text{cm}$ を実現することができる。

【0095】なお、本実施例では、第1の導電膜408をTa、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせなどがある。

【0096】次に、レジストによるマスク410~417を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0097】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第

2の導電層の端部がテーパ部の角度が $15\sim 45^\circ$ のテーパ形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10\sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2\sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim 50\text{nm}$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層419~426(第1の導電層419a~426aと第2の導電層419b~426b)を形成する。418はゲート絶縁膜であり、第1の形状の導電層419~426で覆われない領域は $20\sim 50\text{nm}$ 程度エッチングされ薄くなった領域が形成される。

【0098】そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。(図12(B))ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1\times 10^{13}\sim 5\times 10^{14}\text{atoms/cm}^2$ とし、加速電圧を $60\sim 100\text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層419~423がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域427~431が形成される。第1の不純物領域427~431には $1\times 10^{20}\sim 1\times 10^{21}\text{atomic/cm}^2$ の濃度範囲でn型を付与する不純物元素を添加する。

【0099】次に、図12(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層433~440(第1の導電層433a~440aと第2の導電層433b~440b)を形成する。432はゲート絶縁膜であり、第2の形状の導電層433~437で覆われない領域はさらに $20\sim 50\text{nm}$ 程度エッチングされ薄くなった領域が形成される。

【0100】W膜やTa膜のCF<sub>4</sub>とCl<sub>2</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWC l<sub>6</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とCl<sub>2</sub>の混合ガスではW膜及びTa膜共にエッチン

グされる。しかし、この混合ガスに適量の $O_2$ を添加すると $CF_4$ と $O_2$ が反応して $CO$ と $F$ になり、 $F$ ラジカルまたは $F$ イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い $W$ 膜のエッチング速度が増大する。一方、 $Ta$ は $F$ が増大しても相対的にエッチング速度の増加は少ない。また、 $Ta$ は $W$ に比較して酸化されやすいので、 $O_2$ を添加することで $Ta$ の表面が酸化される。 $Ta$ の酸化物はフッ素や塩素と反応しないためさらに $Ta$ 膜のエッチング速度は低下する。従って、 $W$ 膜と $Ta$ 膜とのエッチング速度に差を作ることが可能となり $W$ 膜のエッチング速度を $Ta$ 膜よりも大きくすることが可能となる。

【0101】そして、図13(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件として $n$ 型を付与する不純物元素をドーピングする。例えば、加速電圧を $70\sim 120\text{keV}$ とし、 $1\times 10^{13}/\text{cm}^2$ のドーピングを行い、図12(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層433~437を不純物元素に対するマスクとして用い、第1の導電層433a~437aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層433a~437aと重なる第3の不純物領域441~445と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域446~450とを形成する。 $n$ 型を付与する不純物元素は、第2の不純物領域で $1\times 10^{17}\sim 1\times 10^{18}\text{atoms}/\text{cm}^3$ の濃度となるようにし、第3の不純物領域で $1\times 10^{16}\sim 1\times 10^{18}\text{atoms}/\text{cm}^3$ の濃度となるようにする。

【0102】そして、図13(B)に示すように、 $p$ チャネル型TFTを形成する島状半導体層403に導電型とは逆の導電型の第4の不純物領域454~456を形成する。第2の形状の導電層434を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、 $n$ チャネル型TFTを形成する島状半導体層402、404、405、406はレジストマスク451~453で全面を被覆しておく。不純物領域454~456にはそれぞれ異なる濃度でリンが添加されているが、ジボラン( $B_2H_6$ )を用いたイオンドーピングにより、そのいずれの領域においても不純物濃度を $2\times 10^{20}\sim 2\times 10^{21}\text{atoms}/\text{cm}^3$ となるようにする。

【0103】以上の工程により、それぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる導電層433~436がTFTのゲート電極として機能する。また、439は信号線、440は走査線、437は容量配線、438は駆動回路内の配線として機能する。

【0104】こうして導電型の制御を目的として図13(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はフ

ァーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が $1\text{ppm}$ 以下、好ましくは $0.1\text{ppm}$ 以下の窒素雰囲気中で $400\sim 700^\circ\text{C}$ 、代表的には $500\sim 600^\circ\text{C}$ で行うものであり、本実施例では $500^\circ\text{C}$ で4時間の熱処理を行う。ただし、433~440に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0105】さらに、 $3\sim 100\%$ の水素を含む雰囲気中で、 $300\sim 450^\circ\text{C}$ で $1\sim 12$ 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0106】次いで、第1の層間絶縁膜457は酸化窒化シリコン膜から $100\sim 200\text{nm}$ の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜458を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0107】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線459~461、ドレイン領域とコンタクトを形成するドレイン配線462~464を形成する。また、画素部においては、画素電極466、467、接続電極465を形成する(図14)。この接続電極465により信号線439は、画素TFT504と電気的な接続が形成される。画素電極466は、画素TFTの活性層に相当する島状半導体層405及び保持容量を形成する島状半導体層(図示せず)とそれぞれ電気的な接続が形成される。なお、画素電極467及び保持容量505は隣り合う画素のものである。

【0108】以上のようにして、 $n$ チャネル型TFT501、 $p$ チャネル型TFT502、 $n$ チャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0109】駆動回路部の $n$ チャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域446(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。 $p$ チャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第4の不純物領域456、ゲート電極の外側に形成される第4の不純物領域455、ソース領域またはドレイン領域と

して機能する第4の不純物領域454を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域448 (LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

【0110】画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域449 (LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体層431には第1の不純物領域と同じ濃度で、半導体層445には第3の不純物領域と同じ濃度で、半導体層450には第2の不純物領域と同じ濃度で、それぞれn型を付与する不純物元素が添加されており、容量配線437とその間の絶縁層 (ゲート絶縁膜と同じ層)とで保持容量を形成している。

【0111】本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0112】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚 (島状半導体層パターン、第1配線パターン (走査線、信号線、容量配線)、nチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン (画素電極、接続電極含む)) とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0113】 (実施例5) 本実施例では、実施例4で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図15を用いる。

【0114】まず、実施例4に従い、図14の状態のアクティブマトリクス基板を得た後、図14のアクティブマトリクス基板上に配向膜506を形成しラビング処理を行う。

【0115】一方、対向基板507を用意する。対向基板507にはカラーフィルター層508、509、オーバーコート層510を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層508と青色のカラーフィルター層509とを重ねて形成し遮光膜を兼ねる構成とする。実施例4の基板を用いた場合、少なくともTFTと、接続電極と画素電極との間を遮光するため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【0116】また、接続電極465に合わせて赤色のカラーフィルター層508、青色のカラーフィルター層509、緑色のカラーフィルター層511とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1~3 $\mu$ mの厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層510の厚さ1~4 $\mu$ mを考慮することにより2~7 $\mu$ m、好ましくは4~6 $\mu$ mとすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層510は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0117】スペーサの配置は任意に決定すれば良いが、例えば図15で示すように接続電極上に位置が合うように対向基板に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0118】オーバーコート層510を形成した後、対向電極512をバタニング形成し、配向膜513を形成した後ラビング処理を行う。

【0119】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤514で貼り合わせる。シール剤514にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料515を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料515には公知の液晶材料を用いれば良い。このようにして図15に示すアクティブマトリクス型液晶表示装置が完成する。

【0120】なお、上記の工程により作成されるTFTはトップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本発明は適用され得る。

【0121】また、液晶材料の代わりにエレクトロルミネッセンス (EL: Electro Luminescence) 材料を用いた自発光型の画像表示装置であるEL表示装置に対しても本発明は適用され得る。なお、EL素子には、エレクトロルミネッセンス (Electro Luminescence: 電場を加えることで発生するルミネッセンス) が得られる有機化合物を含む層 (以下、有機化合物層と記す) と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明はどちらの発光を用いたEL表示装置にも適用可能である。

【0122】 (実施例6) 本実施例では、実施例1~実



施例3をEL表示装置に適用した場合の作製例について説明する。

【0123】図16(A)は本発明を適用したEL表示装置の上面図であり、図16(B)は図16(A)に示したA-A'で切断したEL表示装置の断面図である。図16(A)において、4010は基板、4011は画素部、4012は信号線駆動回路、4013は走査線駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0124】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材4600、シーリング材(ハウジング材ともいう)4100、密封材(第2のシーリング材)4101が設けられている。

【0125】また、図16(B)に示すように、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0126】公知の作製方法を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0127】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0128】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるが、い

れの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0129】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0130】なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0131】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0132】このようにして形成されたEL素子の表面を覆って、パッシベーション膜4603、充填材4604、カバー材4600が形成される。

【0133】さらに、EL素子部を囲むようにして、カバー材4600と基板4010の内側にシーリング材4100が設けられ、さらにシーリング材4100の外側には密封材(第2のシーリング材)4101が形成される。

【0134】このとき、この充填材4604は、カバー材4600を接着するための接着剤としても機能する。充填材4604としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4604の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0135】また、充填材4604の中にスペーサーを



含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0136】スペーサーを設けた場合、バッシベーション膜4603はスペーサー圧を緩和することができる。また、バッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0137】また、カバー材4600としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4604としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0138】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4600が透光性を有する必要がある。

【0139】また、配線4016はシーリング材4100および密封材4101と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材4100および密封材4101の下を通してFPC4017に電気的に接続される。

【0140】なお本実施例では、充填材4604を設けてからカバー材4600を接着し、充填材4604の側面(露呈面)を覆うようにシーリング材4100を取り付けているが、カバー材4600及びシーリング材4100を取り付けてから、充填材4604を設けても良い。この場合、基板4010、カバー材4600及びシーリング材4100で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10<sup>-2</sup>Torr以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0141】(実施例7) 本実施例では、本発明を用いて実施例6とは異なる形態のEL表示装置を作製した例について、図17(A)、図17(B)を用いて説明する。図16(A)、図16(B)と同じ番号のものは同じ部分を指しているため説明は省略する。

【0142】図17(A)は本実施例のEL表示装置の上面図であり、図17(A)をA-A'で切断した断面図を図17(B)に示す。

【0143】実施例6に従って、EL素子の表面を覆ってバッシベーション膜4603までを形成する。

【0144】さらに、EL素子を覆うようにして充填材4604を設ける。この充填材4604は、カバー材4600を接着するための接着剤としても機能する。充填

材4604としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材4604の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0145】また、充填材4604の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0146】スペーサーを設けた場合、バッシベーション膜4603はスペーサー圧を緩和することができる。また、バッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0147】また、カバー材4600としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4604としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0148】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4600が透光性を有する必要がある。

【0149】次に、充填材4604を用いてカバー材4600を接着した後、充填材4604の側面(露呈面)を覆うようにフレーム材4601を取り付ける。フレーム材4601はシーリング材(接着剤として機能する)4602によって接着される。このとき、シーリング材4602としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材4602はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材4602の内部に乾燥剤を添加してあっても良い。

【0150】また、配線4016はシーリング材4602と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材4602の下を通してFPC4017に電気的に接続される。

【0151】なお本実施例では、充填材4604を設けてからカバー材4600を接着し、充填材4604の側面(露呈面)を覆うようにフレーム材4601を取り付けているが、カバー材4600及びフレーム材4601を取り付けてから、充填材4604を設けても良い。この場合、基板4010、カバー材4600及びフレーム材4601で形成されている空隙に通じる充填材の注入

口を設ける。そして前記空隙を真空状態 ( $10^{-3}$  Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0152】(実施例8) ここでEL表示装置における画素部のさらに詳細な断面構造を図18に、上面構造を図19(A)に、回路図を図19(B)に示す。図18、図19(A)及び図19(B)では共通の符号を用いるので互いに参照すれば良い。

【0153】図18において、基板4501上に設けられたスイッチング用TFT4502は公知の方法で形成されたnチャネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたpチャネル型TFTを用いて形成しても構わない。

【0154】また、電流制御用TFT4503は公知の方法で形成されたnチャネル型TFTを用いる。スイッチング用TFT4502のソース配線(信号線)は34である。そして、スイッチング用TFT4502のドレイン配線である35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT4502のゲート電極39a、39bを電気的に接続するゲート配線(走査線)である。

【0155】電流制御用TFT4503はEL素子を流れる電流量を制御する素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける構造は極めて有効である。

【0156】また、本実施例では電流制御用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0157】また、図19(A)に示すように、電流制御用TFT4503のゲート電極37となる配線36は4504で示される領域で絶縁膜を介して、電流制御用TFT4503のドレイン配線40と電気的に接続された電源供給線4506と重なる。このとき、4504で示される領域ではコンデンサが形成され、電流制御用T

FT4503のゲート電極37にかかる電圧を保持するための保持容量として機能する。保持容量4504は、電源供給線4506と電気的に接続された半導体膜4507、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び配線36との間で形成される。また、配線36、第1層間絶縁膜と同一の層(図示せず)及び電源供給線4506で形成される容量も保持容量として用いることが可能である。なお、電流制御用TFTのドレインは電源供給線(電源線)4506に接続され、常に一定の電圧が加えられている。

【0158】スイッチング用TFT4502及び電流制御用TFT4503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0159】また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT4503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0160】また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層45が形成される。なお図19

(A)では、保持容量4504の位置を明確にするために一部バンクを省略しており、バンク44a、44bしか図示していないが、電源供給線4506とソース配線(信号線)34を一部覆うように電源供給線4506とソース配線(信号線)34の間に設けられている。また、ここでは二画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルbazool(PVK)系、ポリフルオレン系などが挙げられる。

【0161】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Geisen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceeding s, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0162】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光す

る発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いられたい。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0163】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0164】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0165】本実施例では発光層45の上にPEDOT(ポリチオフェン)またはPAni(ポリアニリン)でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって(TFTの上方に向かって)放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0166】陽極47まで形成された時点でEL素子4505が完成する。なお、ここでいうEL素子4505は、画素電極(陰極)43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図19(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0167】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0168】以上のように本発明のEL表示装置は図18のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示装置が得られる。

【0169】(実施例9) 本実施例では、実施例8に示

した画素部において、EL素子4505の構造を反転させた構造について説明する。説明には図20を用いる。なお、図18の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0170】図20において、電流制御用TFT4503は公知の方法で形成されたpチャネル型TFTを用いる。

【0171】本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0172】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子4701が形成される。

【0173】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0174】(実施例10) 本実施例では、図19(B)に示した回路図とは異なる構造の画素とした場合の例について図21(A)~(C)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線(信号線)、4803はスイッチング用TFT4802のゲート配線(走査線)、4804は電流制御用TFT、4805は保持容量、4806、4808は電源供給線、4807はEL素子とする。

【0175】図21(A)は、二つの画素間で電源供給線4806を共通とした場合の例である。即ち、二つの画素が電源供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0176】また、図21(B)は、電源供給線4808をゲート配線(走査線)4803と平行に設けた場合の例である。なお、図21(B)では電源供給線4808とゲート配線(走査線)4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4808とゲート配線(走査線)4803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0177】また、図21(C)は、図21(B)の構造と同様に電源供給線4808をゲート配線(走査線)

4803と平行に設け、さらに、二つの画素を電源供給線4808に対し線対称となるように形成する点に特徴がある。また、電源供給線4808をゲート配線(走査線)4803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0178】(実施例11) 実施例8に示した図19(A)、図19(B)では電流制御用TFT4503のゲートにかかる電圧を保持するために保持容量4504を設ける構造としているが、保持容量4504を省略することも可能である。実施例8の場合、電流制御用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を保持容量4504の代わりとして積極的に用いる点に特徴がある。

【0179】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0180】また、実施例10に示した図21(A)、(B)、(C)の構造においても同様に、保持容量4805を省略することは可能である。

【0181】(実施例12) 本実施例では、本発明の画像表示装置を組み込んだ電子機器について説明する。これらの電子機器には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図22～図24に示す。ただし、画像表示装置のうちアクティブマトリクス型液晶表示装置については、図22、図23、図24が適用され、EL表示装置については、図22、図23が適用される。

【0182】図22(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示部9004、操作スイッチ9005、アンテナ9006から構成されている。本発明は表示部9004に適用することができる。

【0183】図22(B)はビデオカメラであり、本体9101、表示部9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本発明は表示部9102に適用することができる。

【0184】図22(C)はパーソナルコンピュータの一種であるモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示部9205で構成されている。本発明は表示部9205に適用することができる。

【0185】図22(D)はヘッドマウントディスプレイ(ゴーグル型ディスプレイ)であり、本体9301、表示部9302、アーム部9303で構成される。本発明は表示部9302に適用することができる。

【0186】図22(E)はテレビであり、本体9401、スピーカ9402、表示部9403、受信装置9404、増幅装置9405等で構成される。本発明は表示部9402に適用することができる。

【0187】図22(F)は携帯書籍であり、本体9501、表示部9502、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部9502に適用することができる。

【0188】図23(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示部9603、キーボード9604で構成される。本発明は表示部9603に適用することができる。

【0189】図23(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示部9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部9702に適用することができる。

【0190】図23(C)はデジタルカメラであり、本体9801、表示部9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。本発明は表示部9802に適用することができる。

【0191】図23(D)は片眼のヘッドマウントディスプレイであり、表示部9901、ヘッドマウント部9902で構成される。本発明は表示部9901に適用することができる。

【0192】図24(A)はフロント型プロジェクターであり、投射装置3601、スクリーン3602で構成される。

【0193】図24(B)はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704で構成される。

【0194】なお、図24(C)は、図24(A)及び図24(B)中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示部3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、これに限定されず、例えば単板

式であってもよい。また、図24(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。本発明は液晶表示部3808に適用することができる。

【0195】また、図24(D)は、図24(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクタ3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図24(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0196】以上の様に、本発明の適用範囲はきわめて広く、画像表示装置を用いるあらゆる分野の電子機器に適用することが可能である。

【0197】

【発明の効果】本発明による画像表示装置の駆動回路は、信号線駆動回路の面積を大幅に縮小でき、画像表示装置の小型化に有効であり、且つ、デジタル映像信号の配線に寄生する抵抗や容量を減少させ、駆動回路の動作マージンを大きくする。これらは、画像表示装置のコスト低減、歩留まり向上に効果がある。

【図面の簡単な説明】

【図1】 本実施形態の信号線駆動回路の構成例を示す図である。

【図2】 図1の信号線駆動回路の動作タイミングを示す図である。

【図3】 実施例1の信号線駆動回路の構成を示す図である。

【図4】 図3の信号線駆動回路の動作タイミングを示す図である。

【図5】 ラッチ回路の例を示す図である。

【図6】 実施例2の信号線駆動回路の構成を示す図である。

【図7】 図6の駆動回路の動作タイミングを示す図である。

【図8】 ビット比較パルス幅変換回路(BPC)の構成を示す図である。

【図9】 ランプ方式D/A変換回路の動作を説明する図である。

【図10】 実施例3の信号線駆動回路の構成を示す図である。

【図11】 図10の駆動回路の動作タイミングを示す図である。

【図12】 TFTの作製工程を示す断面図である。

【図13】 TFTの作製工程を示す断面図である。

【図14】 アクティブマトリクス基板断面図である。

【図15】 アクティブマトリクス型液晶表示装置の断面構造図を示す図である。

【図16】 EL表示装置の作製例を示す図である。

【図17】 EL表示装置の作製例を示す図である。

【図18】 EL表示装置の作製例を示す図である。

【図19】 EL表示装置の作製例を示す図である。

【図20】 EL表示装置の作製例を示す図である。

【図21】 EL表示装置の作製例を示す図である。

【図22】 本発明を用いた電子機器の一例を示す図である。

【図23】 本発明を用いた電子機器の一例を示す図である。

【図24】 投影型液晶表示装置の構成を示す図である。

【図25】 アクティブマトリクス型液晶表示装置の構成図である。

【図26】 従来のデジタル方式の信号線駆動回路の構成図である。

【図27】 従来のデジタル方式の信号線駆動回路のタイミングチャートを示す図である。

【符号の説明】

10(a~d) 信号線選択回路

20 アナログスイッチ

30 セットリセットフリップフロップ(RS-FF)

101 信号線駆動回路

102 走査線駆動回路

103 画素アレイ部

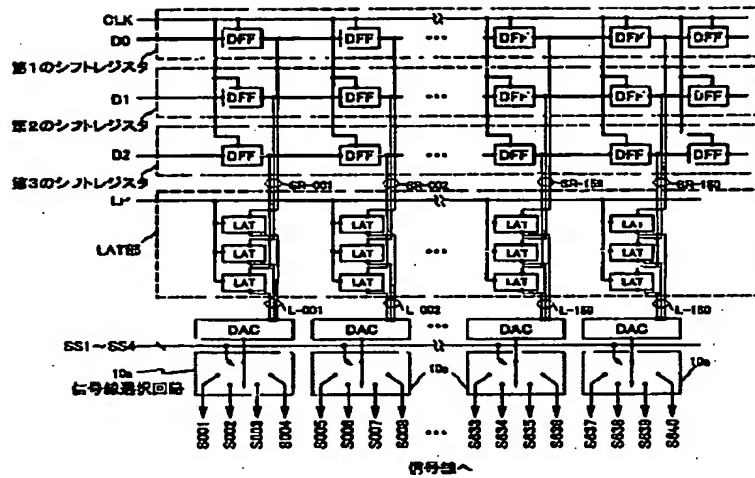
104 信号線

105 走査線

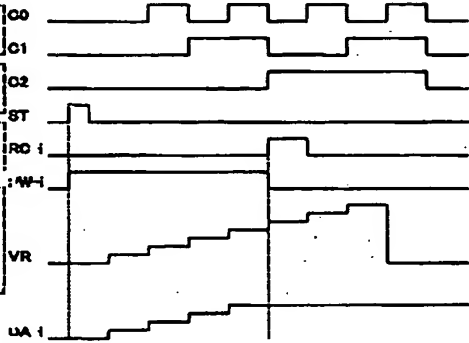
106 画素TFT

107 液晶

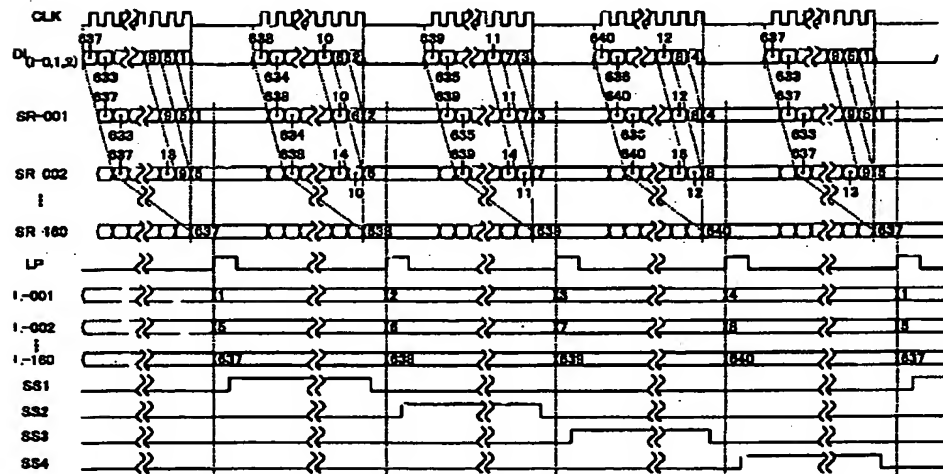
【図1】



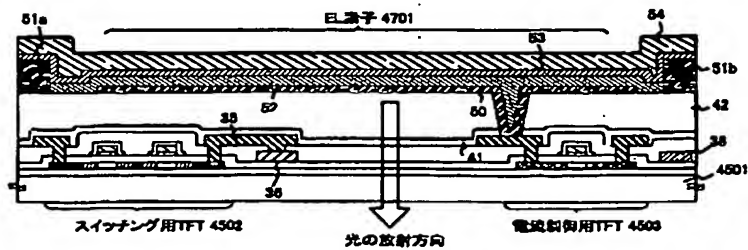
【図9】



【図2】

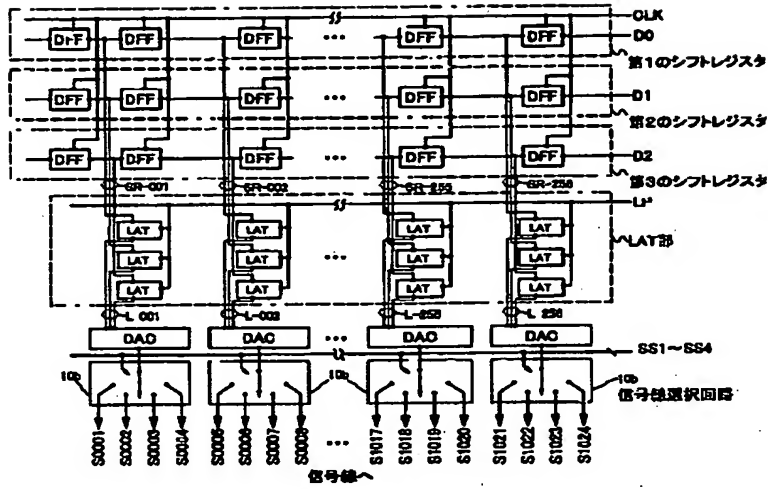


【図20】

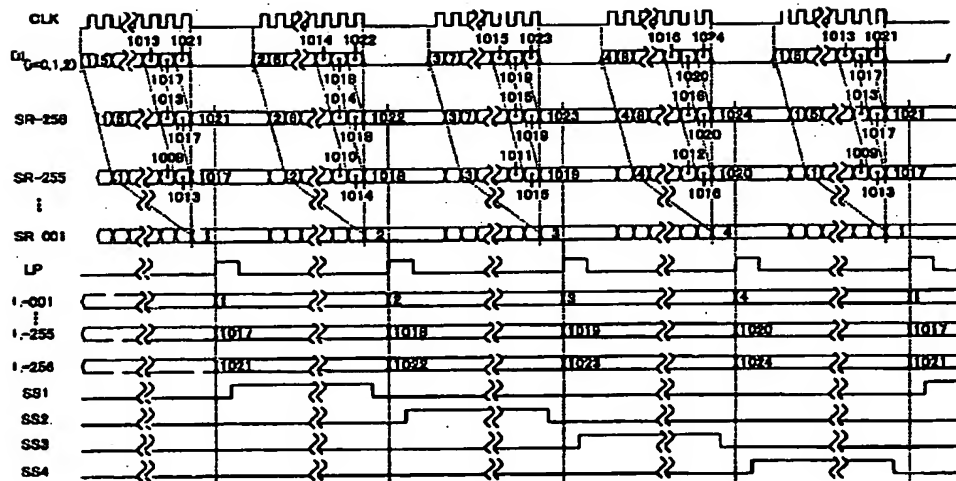




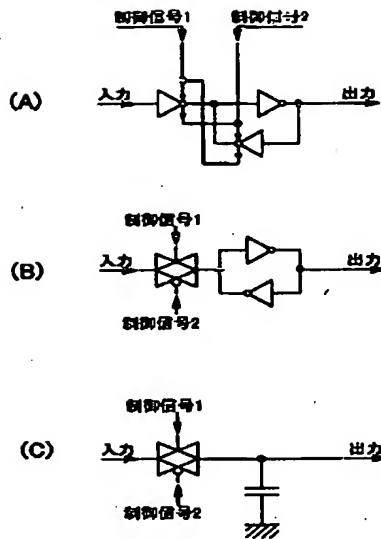
【図3】



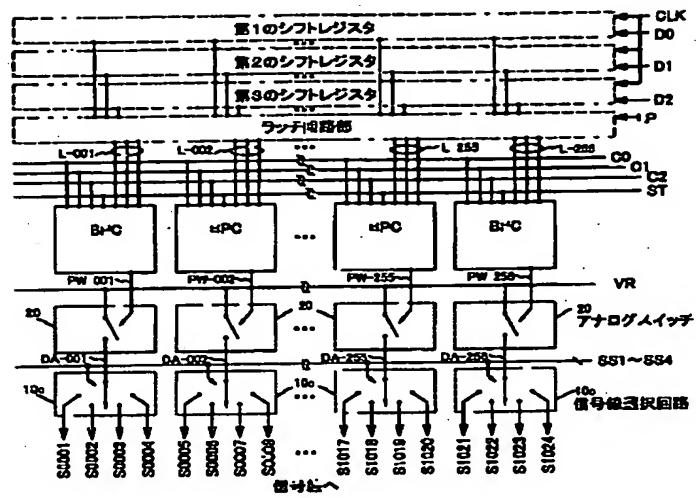
【図4】



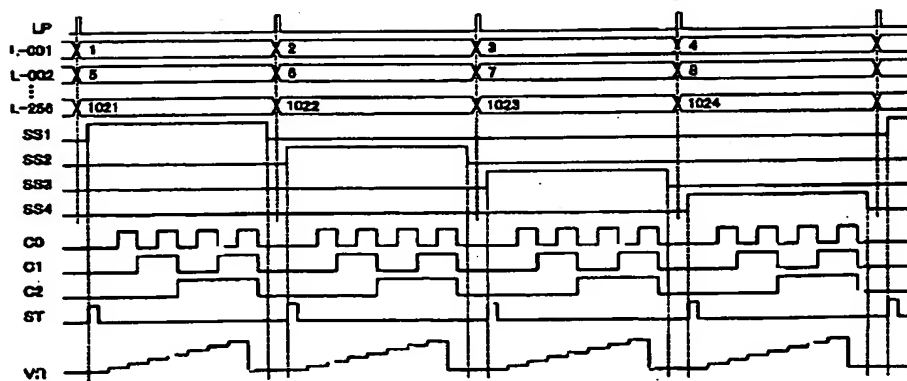
【図5】



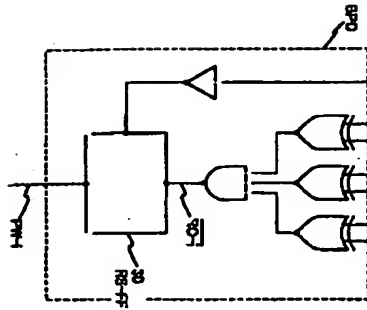
【図6】



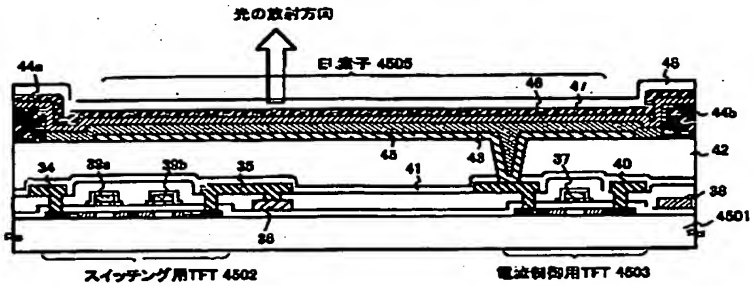
【図7】



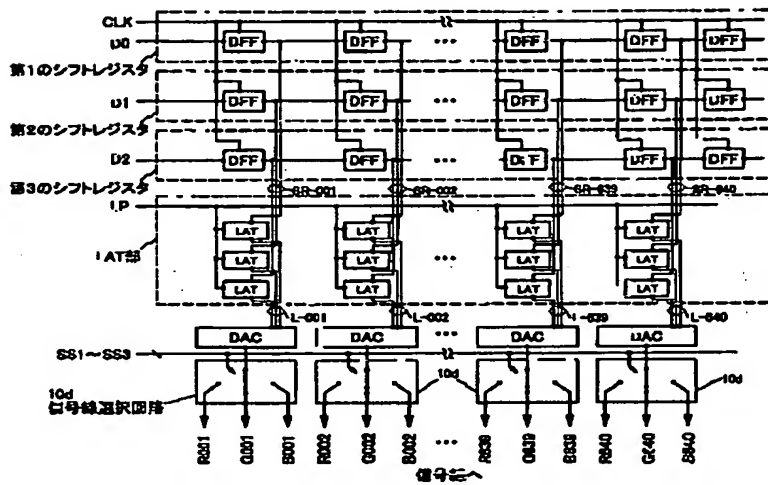
【例8】



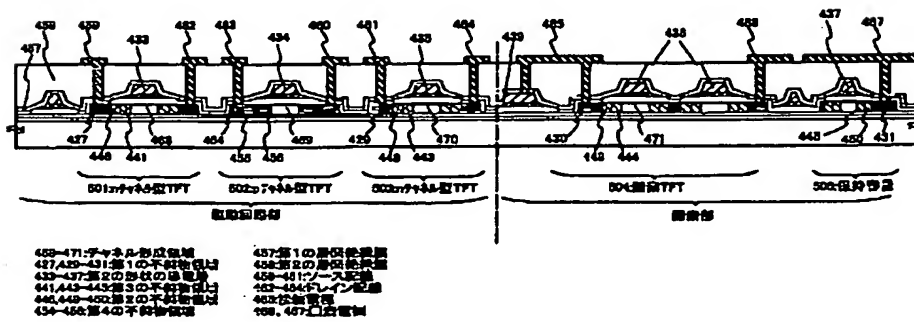
【图 18】



【図 10】

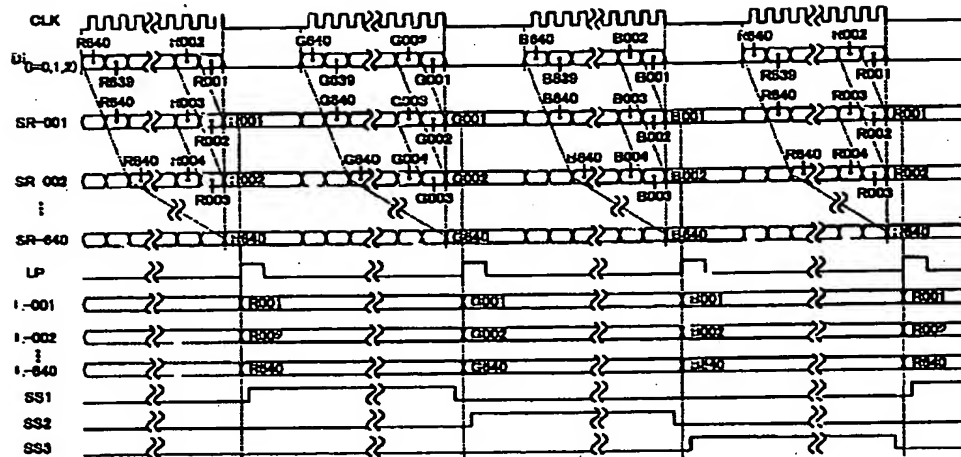


【图14】

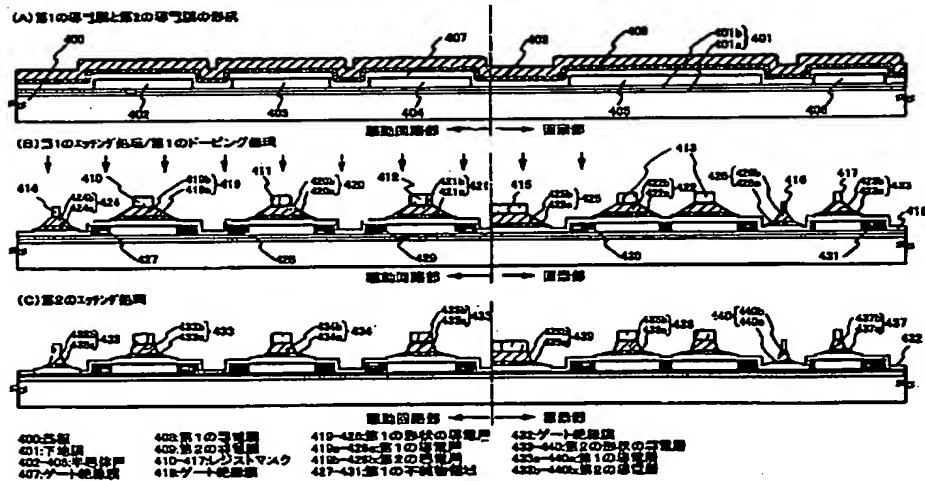


(25) 101-312243 (P2001-312243A)

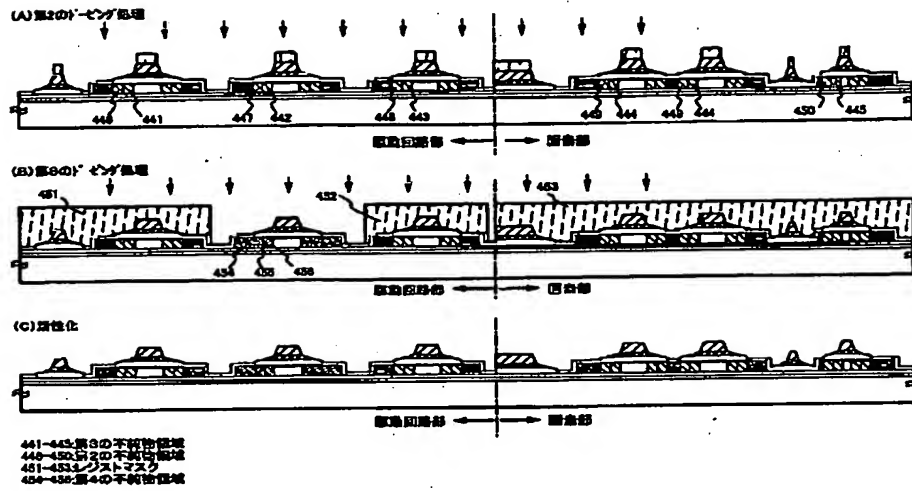
【図11】



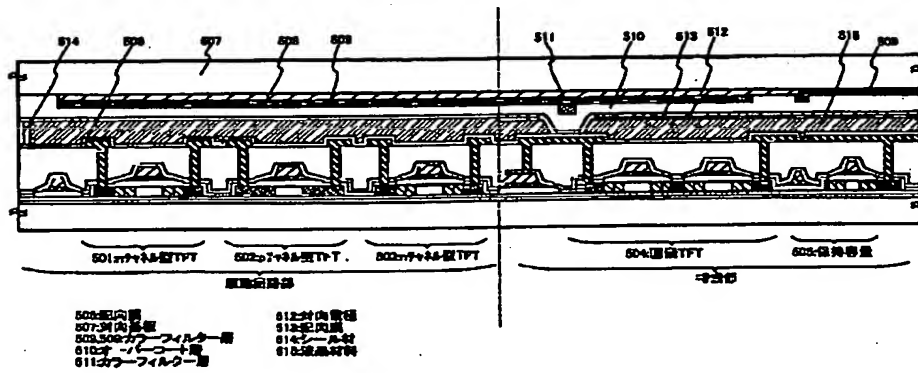
【図12】



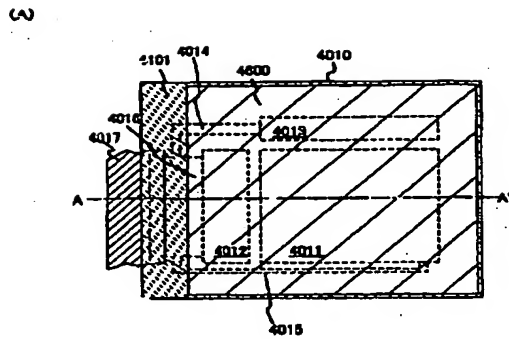
【図13】



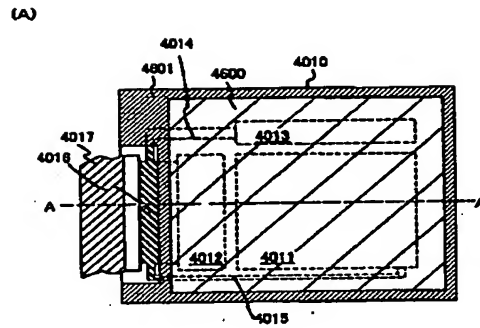
【図15】



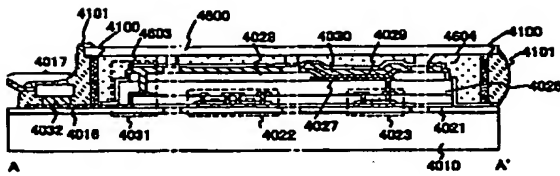
【図16】



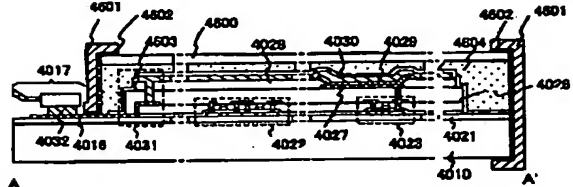
【図17】



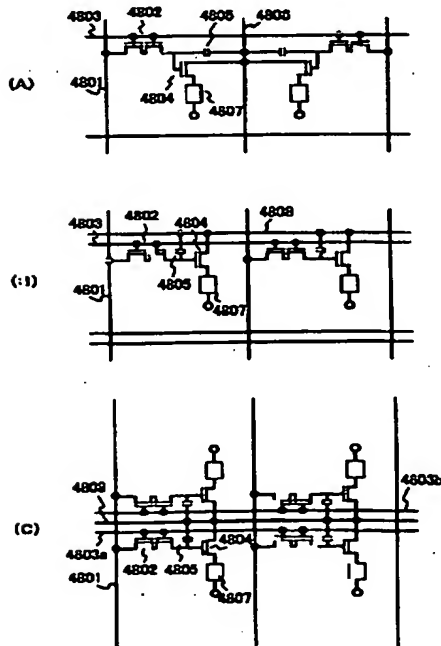
(B)



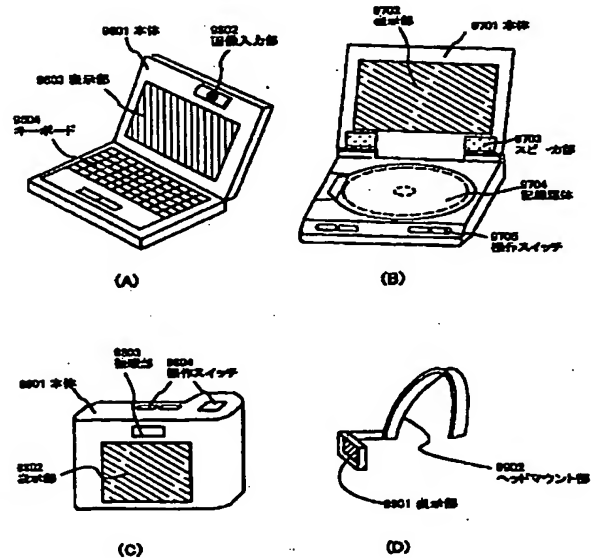
(B)



【図21】

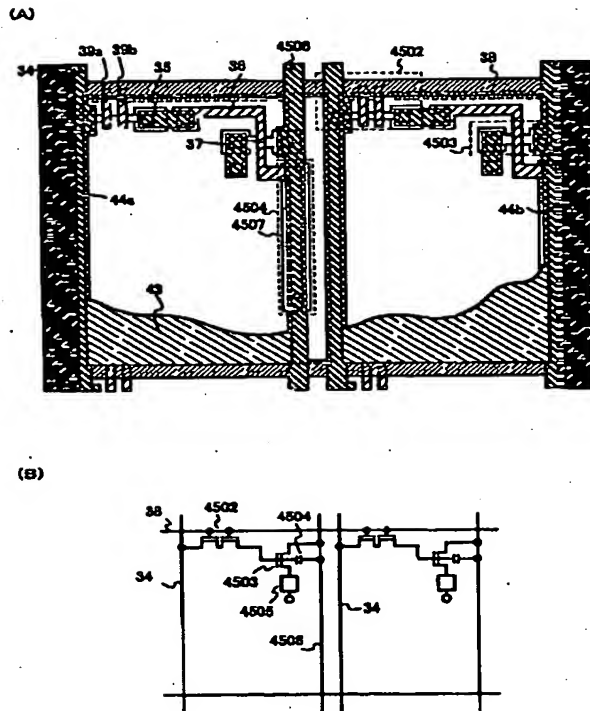


【図23】

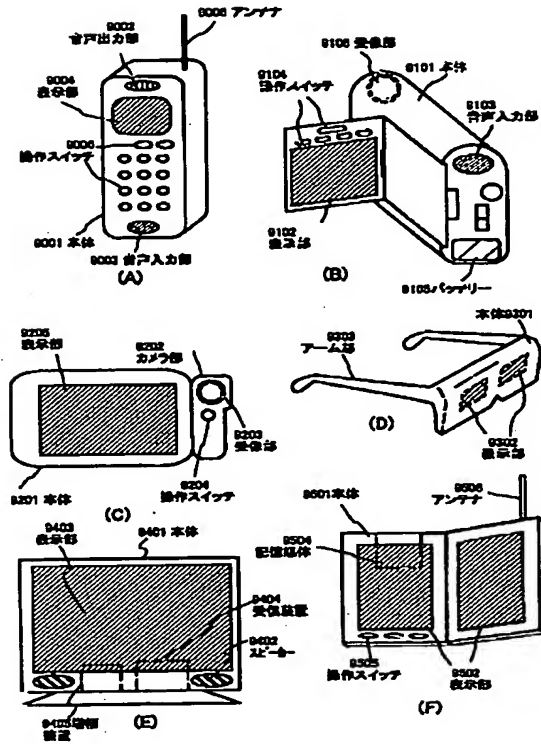




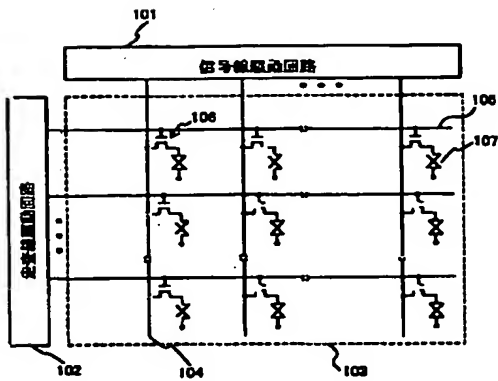
【図19】



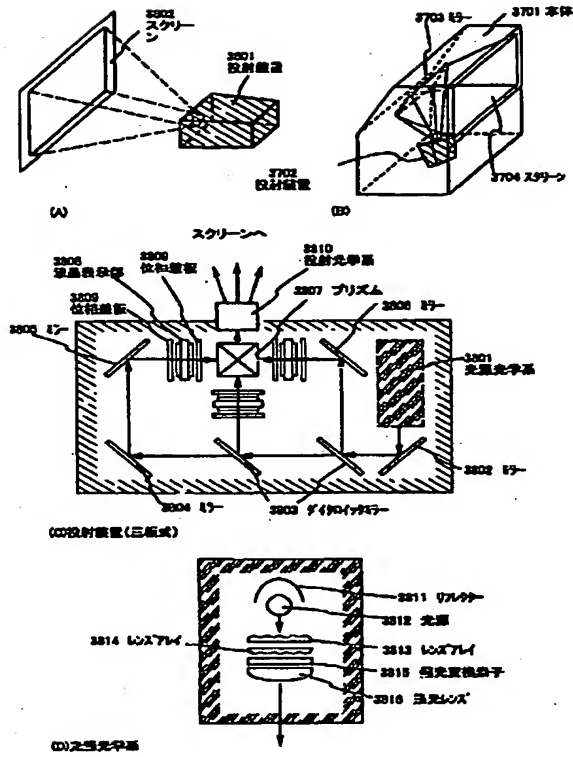
【図22】



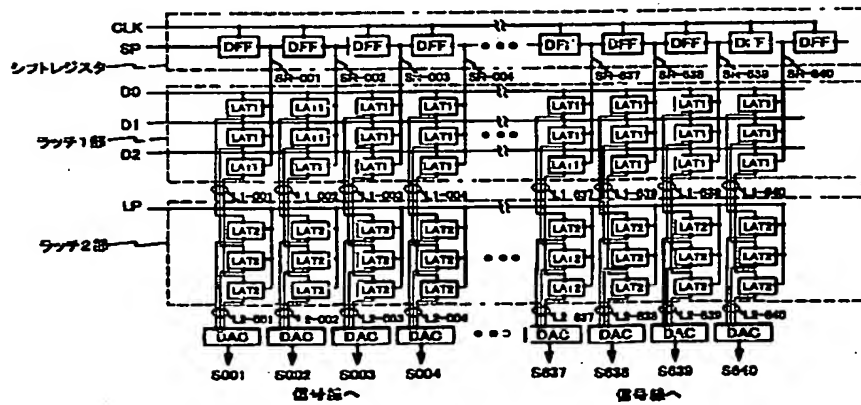
【図25】



【図24】



【図26】



(参考)